SERWIS ELEKTRONIKI

RTV, CD, VCR
SAT, DAT ...

ISSN-1425-4395 4/97(14) CENA 6 zł

- Odbiorniki SANYO - porady serwisowe
- Magnetowidy systemu VHS - podstawy (cz. 2)
- Poprawiamy telewizor z PIP - drugi tor w.cz. - p.cz.
- Współpraca odbiornika TV z komputerem osobistym
- Mikrokontroler PCA84C640. Różnice między wersjami /019 oraz /030



SERWIS ELEKTRONIKI

4/97 Kwiecień '97 NR14

Od Redakcji

Tym razem kilka uwag dotyczących porad serwisowych. Dział „Porady Serwisowe" pojawił się w drugim numerze (1/96) „Serwisu Elektroniki". Od tego momentu jest zamieszczany niezmiennie w każdym wydaniu naszego czasopisma. Trzeba od razu zaznaczyć, że większość Czytelników to zdecydowani zwolennicy tej rubryki. Niekiedy można również usłyszeć opinie negatywne. Nie bardzo wiadomo jaka jest przyczyna tego niezadowolenia. Bardzo prawodopodobną wersją jest obawa przed przedostaniem się „tajemnicy" do ludzi spoza branży, amatorów, itd. Totalna bzdura! Dzisiaj bardzo rzadko zdarza się, żeby ktoś „przypadkowy" usunął usterkę - nawet, gdy kupi czasopismo i dowie się co musi wymienić dla danego objawu, aby telewizor lub inne urządzenie „wyleczyć". Obawy te są zupełnie nieuzasadnione. Ponadto często spotykamy się z pytaniami od potencjalnych autorów za ile on może sprzedać swoją poradę. I co dziwnego praktycznie żadne pieniądze ich nie satysfakcjonują. Generalnie nie mają ochoty dzielić się swoimi doświadczeniami. Ale z pewnością czytają porady innych. Mimo to do Redakcji napływa coraz to więcej uwag serwisowych. I chwała tym autorom za rozsądek. Czynią to dla dobra ogółu. Bo bardzo prawdopodobne jest, że podana diagnoza przyda się komuś innemu. Natomiast on sam może wykorzystać poradę kogoś drugiego. W obliczu podanych „blasków i cieni" ogłaszamy następującą akcję: każdy kto ma ochotę i widzi sens tej rubryki niech nadeśle choćby jedną poradę (dotyczącą TV, SAT, VIDEO, SB, etc.). Sam się przekona czy więcej stracił zdradzając jedną swoją „słodką tajemnicę", czy więcej zyskał zapoznając się z uwagami pozostałych.

W następnych numerach, między innymi:

- Procesor wizyjny TDA4680
- Nowe układy pamięci EEPROM z magistralą I²C
- Nowoczesne elektroniczne aparaty telefoniczne

Na okładce:

W dobie miniaturyzacji - lupa czasami jest wręcz niezbędna.

Spis treści

Wydawca:
Wiesław Haligowski

Adres:
80-423 Gdańsk
ul. B. Chrobrego 25/5
tel./fax 44-32-57

Adres do korespondencji:
SERWIS ELEKTRONIKI
80-411 Gdańsk 11
tel./fax 44-32-57

Redagują:
Grzegorz Szóstakowski (red. naczelny), Ireneusz Lula, Lucjan Jednac, Marek Wybieralski, Bronisław Lewandowski, Bogusław Grubski.

Wyciągi barwne:
Printing Partners Poland - Gdańsk

Druk:
Drukarnia NAZAREX
ul. Nowowiejskiego 33, 83-000 Pruszcz Gdański, tel. 83-11-22.

Czasopismo nie jest kolportowane w sieci „Ruchu". Adresy punktów sprzedaży SERWISU ELEKTRONIKI zamieszczone są na trzeciej stronie okładki.

Magnetowidy systemu VHS - podstawy (cz. 2)

Krzysztof Stroiński

Uwaga: Całość materiału dotycząca systemu VHS będzie składać się z kilku części. Przy omawianiu kolejnych części materiału może zajść konieczność odwołania się do rysunków czy tabel prezentowanych wcześniej. Dlatego też, począwszy od tego artykułu, numer rysunku czy tabeli składał się będzie z numeru kolejnej części materiału i właściwego numeru rysunku. I tak na przykład Rys. 2/03 oznacza rysunek nr 03 z części 2.
Wyjątek stanowi część 1, gdzie powyższy sposób oznaczania nie był stosowany. Jeżeli pojawi się odwołanie np. do rys. 1 lub tabeli 1, oznacza to, że rysunek lub tabela były publikowane w części 1.

Parametry charakterystyczne dla systemu VHS

W tabeli 1 podane zostały najważniejsze parametry opisujące konfigurację zapisu w systemie VHS. Należy dodać, że przy definiowaniu standardu wartości tych parametrów zostały określone dla temperatury urządzenia i otoczenia 20°C i wilgotności względnej 65% ± 5%. Natomiast, dla celów warsztatowych można przyjąć, że parametry te zachowują zgodność ze standardem w zakresie temperatur 5°C ÷ 35°C i wilgotności względnej 40% ÷ 80%.

A - szerokość taśmy (*Tape width*)

Szerokość ta wynosi 12.65mm ± 0.5% czyli pół cala. Mierzona oczywiści od krawędzi odniesienia do górnej krawędzi taśmy (rys. 4 i rys. 5). Na tej szerokości, licząc od krawędzi odniesienia taśmy znajdują się: ścieżka kontrolna, ścieżki wizyjne zajmujące około 74% szerokości taśmy i jedna (zapis monofoniczny) lub dwie (zapis stereofoniczny) ścieżki audio.

Vt - Prędkość przesuwu taśmy (*Tape speed*)

Prędkość przesuwu wynosi 23.39mm/s ± 0.5% i opisuje normalną prędkość zapisu/odtwarzania (*standard play*) dla systemu PAL, SECAM i MESECAM.

∅ - Średnica bębna z głowicami wizyjnymi (*Drum diameter*)

Średnica ta wynosi 62mm ± 0.1 i wynika z wartości innych parametrów założonych dla systemu VHS, takich jak: zpis półobrazowy, zapis 312.5 linii na jednej ścieżce wizyjnej, korelacja 1.5H czy szerokość pola zapisu wizji B.

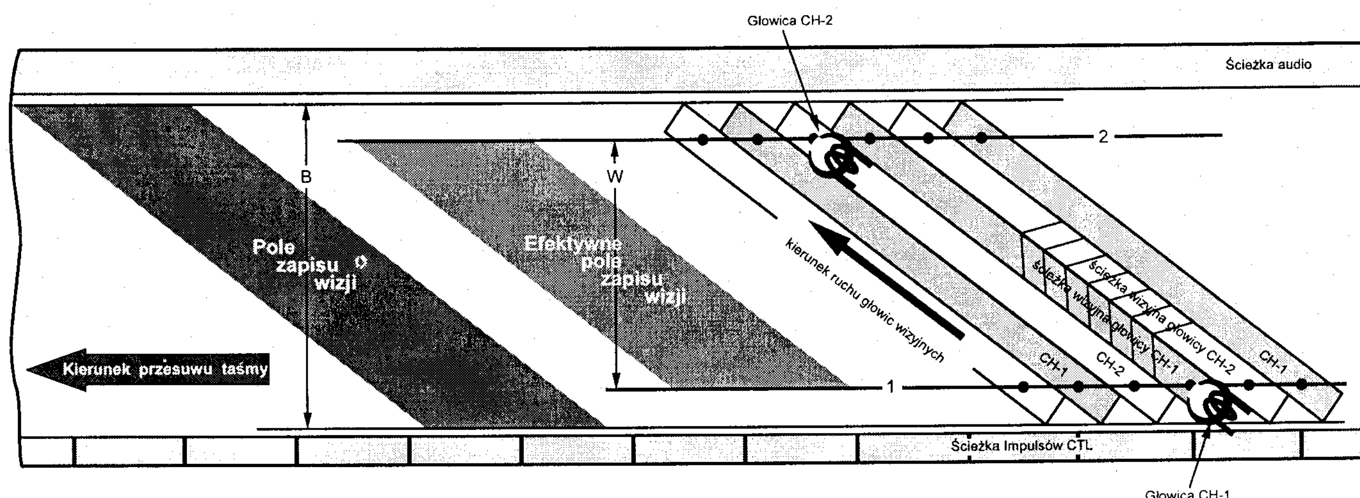
Vh - Prędkość zapisu (*Writing speed*)

Wartość Vh=4.85m/s wynika z przyjętej prędkości obrotowej głowic wizyjnych i prędkości przesuwu taśmy. Przy prędkości przesuwu taśmy 0.02339m/s i prędkości liniowej głowic 4.869m/s widać, że o prędkości zapisu decyduje właśnie składowa liniowa prędkości głowic wizyjnych, której Vh jest prawie równe. Różnica wynika stąd, że głowice wizyjne „gonią uciekającą taśmę".

Tak ustalona prędkość Vh zapewnia możliwość zapisania sygnału wizyjnego z wymaganą w systemie VHS szerokością pasma.

B - Szerokość pola zapisu wizji (*Video width*)
W - Efektywna szerokość pola zapisu wizji (*Video track effective width*)

Szerokość ta wynika z kąta opasania głowic wizyjnych wynoszącego około 185°. Zwiększenie kąta opasania głowic zwiększyłoby, natomiast zmniejszenie kąta opasania zmniejszyłoby tą szerokość. W praktyce serwisowej zwiększenie B jest mało realne ze względu na mechaniczne ograniczenie końcowego położenia pachołków ładujących taśmę na dysk wizyjny, a poza tym byłoby w zasadzie niegroźne. Natomiast



1 Rys.2/01. Pole zapisu wizji i efektywne pole zapisu wizji.

zmniejszenie szerokości pola zapisu wizji zwłaszcza poniżej efektywnej szerokości pola zapisu wizji W, daje już wyraźny negatywny efekt na ekranie. Sytuacja ta ma miejsce na przykład wtedy, gdy pachołki ładujące taśmę na bęben wizyjny z jakiegoś powodu nie dochodzą do swojego końcowego położenia.

Na rysunku 2/01 widoczne są dwie głowice wizyjne. Głowica CH-1 właśnie weszła na taśmę na początku pola B i znajdując się na linii 1 rozpocznie czytanie swojej ścieżki. W tym samym momencie głowica CH-2 znajdując się na linii 2 zakończy czytanie swojego śladu i zejdzie z taśmy (straci kontakt z taśmą) na końcu pola B. Linie 1 i 2 wyznaczają efektywną szerokość pola zapisu wizji. Po 1/2 obrotu bębna i przesunięciu się taśmy o „jedną" ścieżkę sytuacja będzie analogiczna: głowica CH-2 rozpocznie czytanie ścieżki CH-2 na linii 1, a głowica CH-1 skończy czytanie na linii 2 i na końcu pola B zejdzie z taśmy.

Na długości każdej ze ścieżek, od linii 1 i linii 2, zapisany jest sygnał wizyjny, który musi być odczytany w całości, po to aby na ekranie otrzymać poprawny obraz. Dlatego, tak ważne jest poprawne opasanie taśmy na głowicach wizyjnych.

V - szerokość ścieżki wizyjnej (*Video track width*)

Konieczne jest w tym miejscu słowo wyjaśnienia, a zarazem sprostowania. W danych dotyczących systemu VHS można spotykać dwa określenia opisujące ścieżki wizyjne. Pierwsze z nich to *Video Track Pitch*, które można przetłumaczyć jako poskok ścieżki wizyjnej - oznaczany jest literą P i wynosi 0.049mm. Drugie określenie, to *Video Track Width*, czyli szerokość ścieżki wizyjnej - zamieszczone w tabeli 1 pod literą V i wynoszące również 0.049mm.

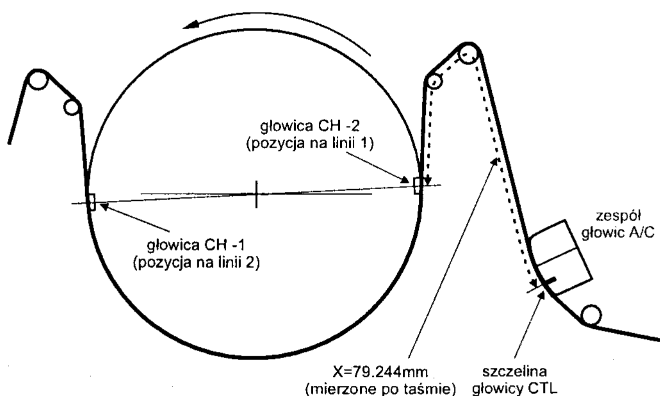
W określeniu poskok ścieżki wizyjnej, uwzględniona jest przerwa między ścieżkami. Ponieważ w systemie VHS ścieżki pisane są bez odstępu, a więc P=V= 0.049mm.
Niefortunnie, w części pierwszej na rysunkach 4 i 5 użyte jest oznaczenie P, a w tabeli 1 oznaczenie V. Oczywiście obie litery oznaczają szerokość ścieżki wizyjnej.

C - Szerokość ścieżki kontrolnej (*Control track width*)
X - Pozycja głowicy kontrolnej (*Position of control head*)

W procesie zapisu wzdłuż dolnej krawędzi taśmy zapisywane są tzw. impulsy kontrolne CTL (*Control Track Logic*). Impulsy te jednoznacznie odwzorowują moment, w którym głowica wizyjna CH-2 osiąga linię 2, a tym samym głowica CH-1 linię 1. W procesie odczytu, gdy pojawi się impuls CTL głowice CH-1 i CH-2 muszą znajdować się na tych samych wyżej wymienionych pozycjach. Nad spełnieniem tego warunku czuwa serwomechanizm magnetowidu, a jego spełnienie jest gwarancją poprawnego śledzenia ścieżek wizyjnych przez głowice, a tym samym gwarancją poprawnego odczytu sygnału wizyjnego.

Dwie głowice wizyjne zapisują/odtwarzają 50 półobrazów na sekundę, czyli każda z nich zapisuje/odtwarza 25 półobrazów na sekundę. Jeżeli impuls CTL odwzorowuje położenie głowicy CH-2 na linii 2, to jego częstotliwość wynosi 25Hz.

Położenie impulsu CTL i położenie głowicy CH-2 na linii 2 są powiązane odległością X=79.244mm. Jest to odległość mierzona „po taśmie" od punktu przecięcia toru ruchu głowicy CH-2 z linią 2, do środka szczeliny głowicy kontrolnej (patrz rysunek 2/01 i 2/02). Impulsy CTL pisane są z częstotliwością 25Hz. Przy prędkości przesuwu taśmy 23.39mm/s oznacza to, że impuls CTL pisany jest na taśmie co 0.936mm.



Rys.2/02. Odległość X określająca położenie głowicy CTL.

Z takim też krokiem możliwe jest przesuwanie „po taśmie" zespołu głowic A/C od jej wzorcowego położenia wyznaczanego odległością X.

W przypadku wymiany zespołu głowic A/C nie ma praktycznie żadnej możliwości sprawdzenia czy odległość X została zachowana. Dotyczy to zwłaszcza magnetowidów, w których istnieje specjalna stożkowa lub mimośrodowa śruba do regulacji położenia głowicy „po taśmie". Tak jak podaje autor w artykule „ZESPÓŁ GŁOWICY AUDIO/CTL" SE 1/97 najlepszą metodą ustawienia położenia głowic A/C jest obserwacja na oscyloskopie sygnału FM odczytywanego z taśmy testowej. Wydaje się konieczne dodanie tutaj, że poprawny odczyt sygnału FM będzie powtarzał się cyklicznie co około 0.936mm przesuwu głowic A/C zarówno w przód jak i w tył w stosunku do kierunku przesuwu taśmy. Należy jednak pamiętać o tym, że każde dodatkowe 0.936mm ponad standardową odległość X zmienia opasanie taśmy na zespole głowic A/C, a to może mieć negatywny wpływ na jakość zapisu/odczytu sygnałów przez zespół głowic A/C. Dlatego też, przy wymianie głowicy A/C należy ograniczyć do niezbędnego minimum kręcenie elementami regulacyjnymi i mocującymi ten zespół.

R, D, E - Ścieżki audio (*Audio tracks*)
h - Separacja ścieżek audio (*Audio to audio quard*)
F - Linia odniesienia ścieżki audio (*Audio track reference line*)

Parametry te nie wymagają szczególnego komentarza, gdyż ich odpowiedniki są znane z techniki zapisu w urządzeniach audio. Można tylko wspomnieć, że bardzo rzadko używany jest wzdłużny zapis stereofoniczny kanału L i R na dwóch ścieżkach rozdzielonych „pustą" ścieżką separującą o szerokości h. Rozwiązanie to oferowane było głównie w magnetowidach z większymi możliwościami obróbki dźwięku.

Dźwięk stereofoniczny HI-FI uzyskuje się w magnetowidach wykorzystując do zapisu i odtwarzania dwie wirujące głowice audio umieszczone na dysku wizyjnym. Bardzo wysoka jakość dźwięku wynika z dużej prędkości zapisu wynoszącej przy każdej prędkości przesuwu taśmy (*Standard Play* i *Long Play*) około 4.85m/s. Na normalnej (wzdłużnej) ścieżce audio pisany jest dźwięk monofoniczny.

θ i θo - Kąty nachylenia ścieżek wizyjnych (*Video track angle*)

Ścieżki wizyjne powstają w wyniku ukośnego ruchu głowic wizyjnych po przesuwającej się taśmie. Złożenie tych dwóch ruchów daje kąt nachylenia śladów głowic wizyjnych względem dolnej krawędzi taśmy wynoszący θ=5°57'50.3". W przypadku taśmy zatrzymanej (np. funkcja stop-klatka) nachylenie torów ruchu głowic wizyjnych jest nieco mniejsze i wynosi θo=5°56'7.4". Oczywiście dla taśmy zatrzymanej tory ruchu głowic wizyjnych nie pokrywają się idealnie z zapisanymi ścieżkami wizyjnymi.

α - kąt nachylenia szczelin głowic wizyjnych (*Video head gap azimuth angle*)

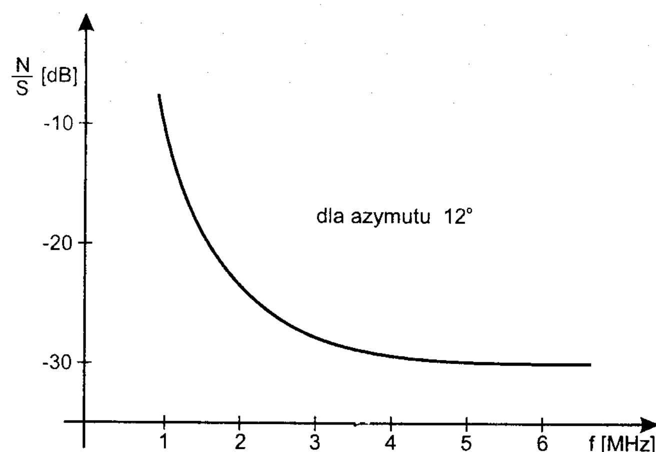
Jak wspomniane zostało w części pierwszej, tak przyjęte nachylenie szczelin głowic wizyjnych zapewnia dobre tłumienie przesłuchu sygnału z sąsiednich ścieżek w zakresie częstotliwości 3.5÷5MHz sygnału FM odpowiadającego podstawowym składowym widma tego sygnału powstającego po modulacji częstotliwościowej sygnału nośnej sygnałem luminancji.

Rysunek 2/03 przedstawia wykres tłumienia przesłuchu w funkcji częstotliwości dla ścieżek zapisanych z różnicą azymutów szczelin głowic wynoszącą 12°.

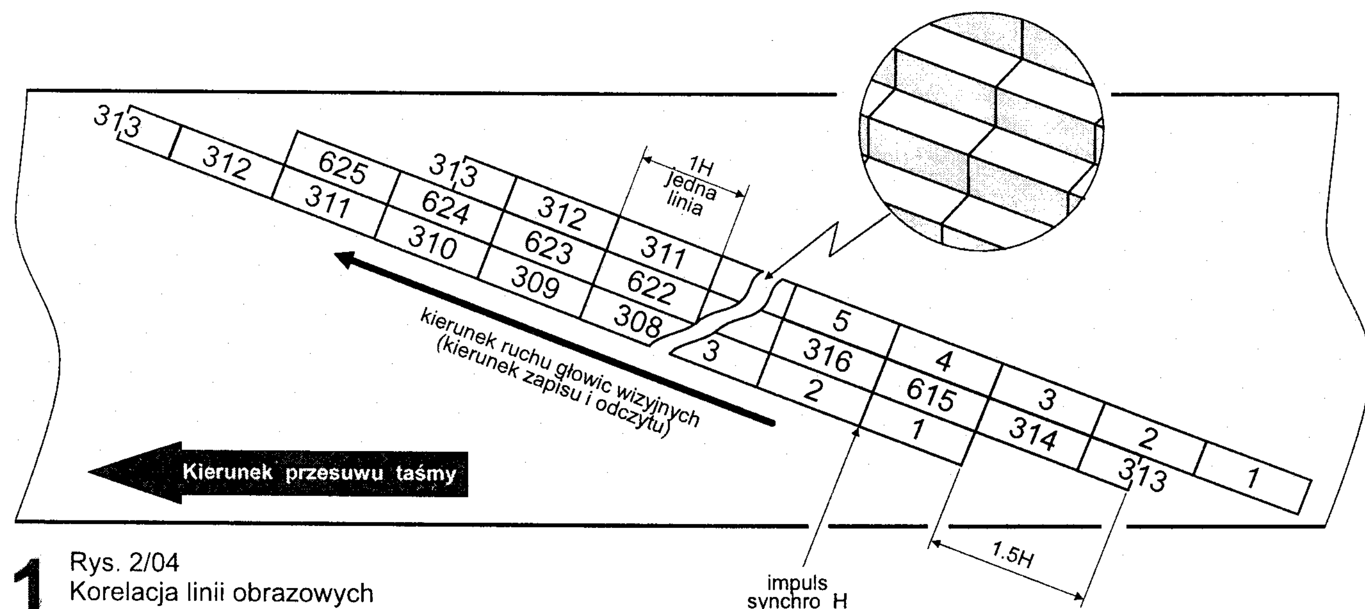
Jak widać z rysunku zapisywanie/odczytywanie sygnału przy pomocy głowic z 12° różnicą azymutów nie jest metodą wystarczającą do zredukowania przesłuchu w całym zakresie częstotliwości sygnału FM. Metoda ta jest nieskuteczna w zakresie niższych częstotliwości.

Likwidację przesłuchu sygnałów w tym zakresie częstotliwości osiągnięto poprzez zastosowanie odpowiedniej korelacji na taśmie linii sąsiednich półobrazów, tak jak pokazuje to rysunek 2/04. Takie ułożenie linii obrazowych (korelację 1.5H) na taśmie osiągnięto dobierając przede wszystkim odpowiednią prędkość przesuwu taśmy i średnicę bębna wizyjnego.

Korelacja ta jest decydująca w likwidacji przesłuchów dla sygnału chrominancji SECAM, dla którego nie jest możliwe zastosowanie metody „rotacji fazy" stosowanej w przypadku sygnału PAL.



Rys.2/03. Tłumienie przesłuchu w funkcji częstotliwości dla różnicy azymutów 12°.



1 Rys. 2/04
Korelacja linii obrazowych
dla sąsiednich półobrazów

Co zawierają ścieżki wizyjne

Podczas zapisu sygnał doprowadzony jest do obu głowic wizyjnych jednocześnie. Oznacza to, że głowica, która aktualnie ma kontakt z taśmą zapisze taśmę, druga zaś w tym samym czasie, można by powiedzieć, pisze w powietrzu. Zatem, całkowita długość zapisanego przez głowicę śladu wynika tylko z kąta opasania bębna wizyjnego i mieści się w polu zapisu wizji określonym przez parametr B.

Pole zapisu musi być wystarczające do takiego zapisania sygnału, aby przy odczycie można było odzyskać sygnał ciągły i stabilny pomimo przełączania głowic wizyjnych. Dlatego też, każda ścieżka zapisana w polu zapisu B zawiera właściwy półobraz jak również część linii (więcej niż 6.5 linii) poprzedniego półobrazu, tak jak jest to przedstawione na rysunku 2/05.

Jak widać z rysunku, impuls synchronizacji pionowej każdego zapisanego półobrazu ma to samo położenie względem krawędzi odniesienia taśmy. Uzyskuje się to dzięki odpowiedniemu zsynchronizowaniu obrotów bębna wizyjnego z impulsami V.sync. zapisywanych półobrazów.

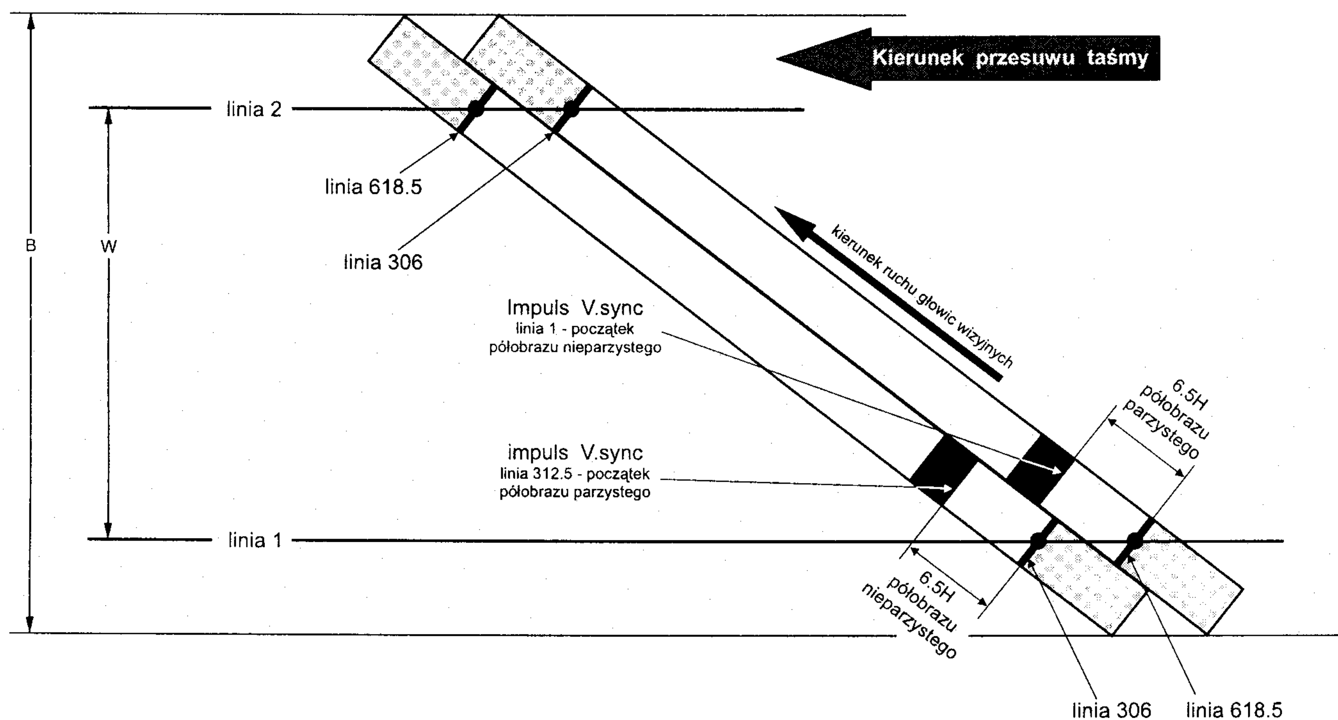
W procesie odczytu steruje się włączaniem i wyłączaniem głowic oraz ich położeniem tak, aby odczytywały ściśle określony odcinek ścieżki. Odczytany przez każdą głowicę odcinek ścieżki zawiera: 6.5H poprzedniego półobrazu, właściwy półobraz rozpoczynający się impulsem V.sync i kończący się 6.5 linii obrazowych wcześniej. Obcięte 6.5 linii odczytane będzie już z początkowego odcinka następnej ścieżki. Tak odczytane półobrazy składa się w jeden sygnał, który można odtworzyć na ekranie. Oczywiście, obrazy te są składane na 6.5H przed impulsem V.sync.

Złożenie sygnału w tym miejscu zostało wybrane z dwóch powodów:

1. Obraz odtworzony na ekranie musi być stabilny w pionie. Spełnienie tego warunku pociąga za sobą konieczność odtwarzania niezakłóconego impulsu V.sync.
2. Efekt składania półobrazów nie może być widoczny na ekranie.

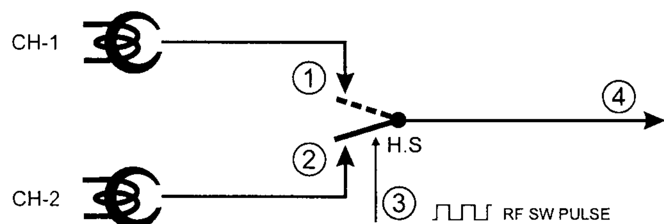
W praktyce punkt składania półobrazów (punkt przełączania głowic) nie jest ustawiony idealnie na 6.5H przed impulsem V.sync. Dotyczy to zwłaszcza magnetowidów, które już miały przełączanie głowic korygowane w serwisie. Rozrzuty biorą się stąd, że operacji tej dokonuje się na różnego typu taśmach i to nie koniecznie testowych. Jeżeli podczas odtwarzania **poprawnie nagranej** taśmy i na **poprawnie wyregulowanym** monitorze na samym dole ekranu widoczny jest „biegający jasny punkcik" oznaczać może to, że przełączanie głowic w sprawdzanym magnetowidzie jest źle ustawione. Sprawdzenie przełączania głowic w tym przypadku jest konieczne, gdyż podobny efekt mogą dawać również inne uszkodzenia.

Zalecana przez producentów tolerancja ustawienia punktu przełączania głowic wynosi ±0.5H. Biorąc pod uwagę to, że około 2÷3% linii zawierających treść wizyjną jest i tak niewidoczna na ekranie ze względu na ustawienie geometrii obrazu w odbiorniku telewizyjnym z pewnym marginesem, dokładność ta jest zupełnie wystarczająca. W rzeczywistości powyższe



1 Rys. 2/05
Zawartość dwóch kolejnych ścieżek wizyjnych.


sygnał zapisany poza efektywnym obszarem zapisu



Układ przełączania głowic wizyjnych przy odczycie.

głowica poza taśmą

Sygnał FM odczytany z taśmy

V.sync

① Odczyt głowicy CH-1: sygnał FM i odpowiadająca mu zawartość ścieżek wizyjnych

Sygnał FM odczytany z taśmy

głowica poza taśmą

② Odczyt głowicy CH-2: sygnał FM i odpowiadająca mu zawartość ścieżek wizyjnych

CH-2 włączona

6.5H

CH-2 włączona

6.5H

CH-2

CH-1

CH-1 włączona

CH-1 włączona

wyłączenie CH-1
i włączenie CH-2

wyłączenie CH-2
i włączenie CH-1

③ Sygnał *RF SW PULSE* przełączający tory głowic (sterowanie przełącznikiem H.S)

④ Złożony sygnał FM

moment przełączania głowic

półobraz "n-1"

półobraz "n"

półobraz "n+1"

półobraz "n+2"

półobraz "n+3"

"n+4"

④ Wynikowy sygnał kolejnych półobrazów po złożeniu

Rys.2/06. Przełączanie głowic i składanie sygnału wizji.

2÷3% niweluje większy rozrzut w ustawieniu punktu przełączania głowic.

W procesie odczytu sygnał obrazu pochodzący kolejno z dwóch głowic musi być złożony z możliwie małymi zakłóceniami, co oznacza, że głowica wchodząca na taśmę musi rozpocząć czytanie (być włączona) na linii 1, a jednocześnie głowica kończąca czytanie poprzedniego półobrazu musi być wyłączona na linii 2 (rys. 2/01, 2/05).

Proces składania sygnału odczytywanego przez CH-1 i CH-2 w jeden sygnał przedstawiony jest na rys. 2/06.

Sygnały z obu głowic wizyjnych dochodzą do przełącznika H.S (*Head Switch*). Sygnały te zawierają zarówno odczyt treści ze ścieżek wizyjnych jak i szum własny toru odczytu głowicy znajdującej się poza taśmą.

Zadaniem przełącznika głowic H.S jest precyzyjne wyselekcjonowanie z torów obu głowic odpowiednich części sygnałów, a następnie połączenie ich w jeden sygnał wizyjny. Przełącznik H.S sterowany jest sygnałem RF SW PULSE (*Reference Switching Pulse*).

Jak było zaznaczone wcześniej, każdy półobraz był zapisny tak, aby impulsy V.sync miały to samo położenie względem dolnej krawędzi taśmy. Podczas odczytu układ serwa „obserwując" chwilową pozycję dysku wizyjnego, a tym samym pozycję głowic wizyjnych względem teoretycznej ścieżki wzorcowej, generuje sygnał RF SW PULSE tak, aby moment przełączenia głowic wypadał dokładnie na 6.5H przed impulsem V.sync.

Aby przy odczycie rzeczywistej taśmy na rzeczywistym magnetowidzie (mechanizm wykonany i wyregulowany z pewną tolerancją), warunek 6.5H był spełniony, układ serwa wyposażony jest w możliwość dokładnej regulacji położenia impulsu RF SW PULSE względem impulsu V.sync.

Podkreślić należy, że regulacja położenia RF SW PULSE względem V.sync. jest niezbędnym ostatnim krokiem regulacji mechaniki magnetowidu.



Poprawiamy telewizor z PIP - drugi tor w.cz.-p.cz.

Bronisław Lewandowski

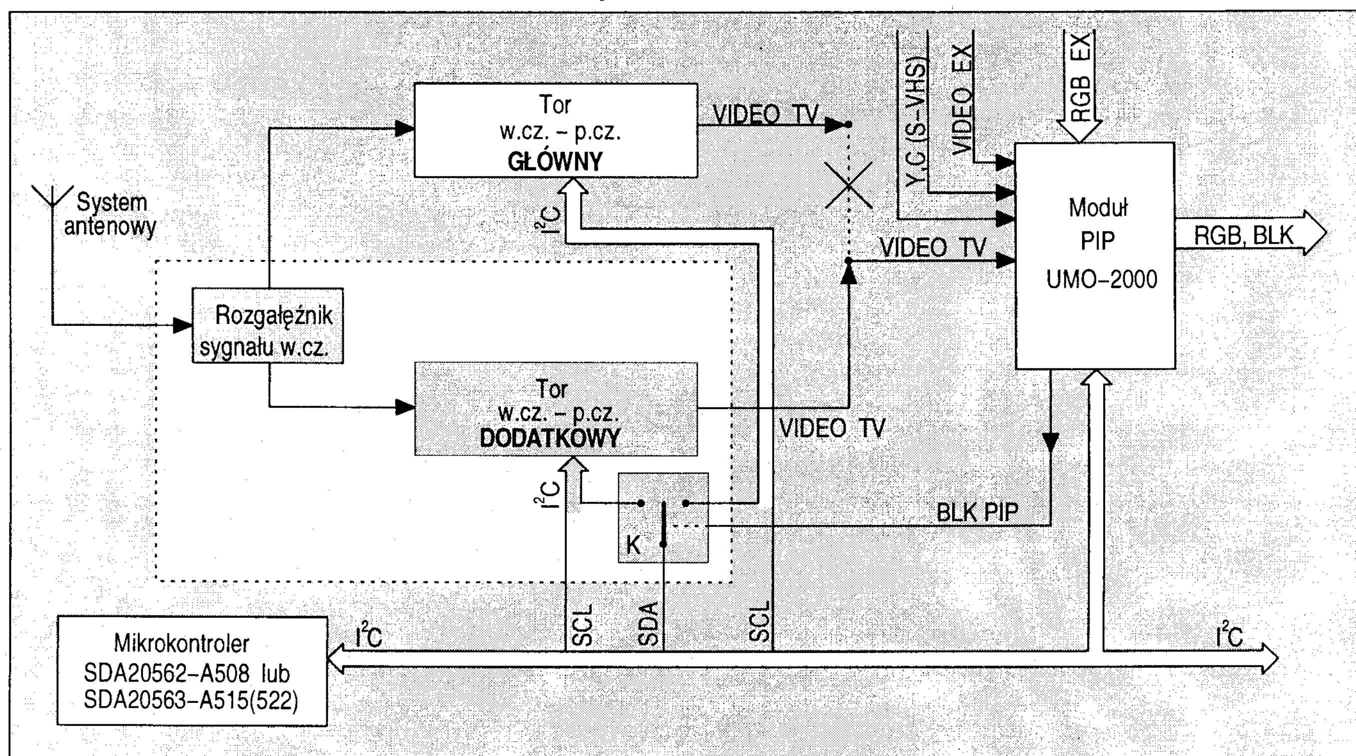
W numerze 1/97 „SE" w zakończeniu artykułu pt. **Montujemy moduł PIP w telewizorach UNIMOR** zamieszczona została informacja mówiąca o możliwości montażu dodatkowego toru w.cz.-p.cz. w odbiornikach wyposażonych w system PIP (*Picture-In-Picture*). Z uwagi na znaczne zainteresowanie czytelników poruszoną problematyką i sporą ilością pytań, które pojawiły się w związku z zamieszczonym artykułem, niejako zmuszeni zostaliśmy do bardziej szczegółowego przedstawienia zasygnalizowanego w nim zagadnienia. Poniżej zamieszczamy kilka uwag dotyczących omawianej problematyki, pokazujemy również schemat blokowy układu połączeń dodatkowego toru w.cz.-p.cz. z układem odbiornika. Omówimy także ograniczenia wynikające z przyjętego rozwiązania oraz podajemy katalog niezbędnych informacji, które należy przekazać do właściciela opracowania jeśli wyrażą państwo ochotę nabycia proponowanego usprawnienia odbiornika.

Celem dodatkowo montowanego toru odbiorczego w posiadanym odbiorniku z systemem PIP jest oczywiście rozszerzenie jego możliwości, które polegałyby na umożliwieniu podglądania - na małym obrazku - dowolnego programu telewizyjnego dostępnego w sieci antenowej podczas oglądania również dowolnego programu na ekranie głównym. Możliwości, o których mowa uwydatniają się szczególnie wówczas, gdy nie posiadamy innych źródeł sygnałów video (magnetowid, tuner satelitarny itp.). Należy tu jednak zauważyć, że nawet wówczas gdy dysponujemy magnetowidem czy innymi urządzeniami, które potrafią współpracować z naszym telewizorem poprzez gniazda AV, proponowane przez nas rozwiązanie zdecydowanie poprawia komfort obsługi całego zestawu - do podglądania obrazu z innych kanałów TV używamy tylko jednego pilota.

Schemat blokowy proponowanego układu przedstawia rys. 1. Już z pobieżnej analizy pokazanego schematu wynika, iż jest on do zaadaptowania właściwie w każdym odbiorniku z systemem PIP. Jak widać, należy mieć jedynie dostęp do wejścia „video" modułu PIP oraz potrafić wyodrębnić odpowiedni sygnał, który przełączać będzie magistralę sterującą I^{2}C pomiędzy głowicami w.cz. w torze głównym i w torze dodatkowym. Zarówno to pierwsze jak i drugie w ogólności nie powinno nastręczać większych problemów. Problemy, a właściwie mankamenty zaproponowanego rozwiązania wynikać jednak mogą z faktu, iż głowica w.cz. w torze dodatkowym sterowana jest z procesora głównego, którego program na ogół (oprócz rozwiązań odbiorników luksusowych) nie przewiduje stosowania drugiej głowicy dla potrzeb systemu PIP. I tak, w przypadku odbiorników z systemem sterowania Siesta 3 oraz Siesta 3A stosowanych w odbiornikach UNIMOR-u mankamenty, o których mowa wyżej polegają na:

- chwilowym zaniku fonii w momencie przełączania programu w „obrazku" (działa sygnał *mute* przekazywany szyną do modułu fonii),
- w chwili rezygnacji z podglądu (rozkaz „wyłącz PIP"), ostatnio podglądany w „obrazku" program staje się obrazem głównym (nastawy dzielnika programowanego przekazywane przed chwilą do układu PLL głowicy dodatkowej stają się w momencie zmiany pozycji klucza K nastawami układu PLL głowicy głównej).

Ostatnia z wymienionych uwag może być potraktowana również jako zaleta, gdyż jednym z celów włączenia PIP i przeszukiwania w nim programów może być chęć znalezienia



Rys. 1. Schemat blokowy układu połączeń dodatkowego toru w.cz.-p.cz. z odbiornikiem UNIMOR.

programu ciekawszego, a więc w chwili jego znalezienia jeden rozkaz „wyłącz PIP" powoduje, że staje się on programem głównym.

W innych systemach sterowania możemy oczywiście mieć do czynienia z jeszcze innymi niespodziankami.

W przypadku podjęcia decyzji o montażu drugiego toru w.cz.-p.cz. należy pamiętać jeszcze o kilku drobiazgach:

1. Należy dokładnie zidentyfikować system sterujący - chodzi tu o rozpoznanie adresu pod jakim procesor sterujący „widzi" układ PLL głowicy. Przełączenie szyny danych do głowicy dodatkowej jest możliwe jedynie wówczas gdy istnieje zgodność adresowa obydwu głowic. W przypadku kłopotów z dostępem do informacji o procesorze i/lub o układzie PLL w dodatkowej głowicy najlepiej jest użyć dwóch identycznych głowic. Natomiast wyprowadzenie odpowiedzialne za ustawianie adresu głowicy dodatkowej należy podłączyć identycznie jak wyprowadzenie adresowe głowicy głównej.
2. Należy dokładnie rozpoznać rozkład odbieranych kanałów w poszczególnych pasmach głowicy głównej i dodatkowej. Rozkład ten powinien być dla obydwu głowic identyczny. Głowice różnych producentów nawet z tym samym układem PLL mogą mieć różny podział odbieranych kanałów w obrębie poszczególnych pasm. Na przykład, w niekorzystnym przypadku mogłoby się okazać, że niektóre kanały dostępne dla dużego obrazu są niedostępne dla „obrazka". A więc użycie dwóch identycznych głowic jest wskazane również i z tych powodów.
3. Należy zaopatrzyć się w niskostratny rozgałęźnik sygnału w.cz.

Dostępne w redakcji, a właściwie we współpracującej z redakcją firmie JUPITEL (adres poniżej) rozwiązanie układowe drugiego toru w.cz.-p.cz. dla potrzeb systemu PIP opracowane jest z myślą o stosowaniu go w odbiornikach UNIMOR-u „Siesta 3" oraz „Siesta 3A" wyposażonych fabrycznie lub w warunkach serwisowych w system PIP. Układ w postaci modułu z dodatkową konstrukcją mechaniczną przewidziany jest do montażu w warunkach przeciętnego warsztatu. Zakłada się, że monter będzie musiał wykonać trochę pracy mechanicznej - metalowy wspornik modułu przewidziany jest do mocowania do radiatora modułu fonii za pomocą dwóch blachowkrętów (należy wywiercić w nim otwory). Niezbędnym będzie również wywiercenie otworu w ściance tylnej odbiornika przeznaczonego dla gniazda wejściowego głowicy.

W przypadku zainteresowania się naszym rozwiązaniem prosimy pamiętać o uwagach podanych powyżej, a więc:

1. prosimy o podawanie informacji jaki procesor sterujący występuje w państwa odbiorniku (dokładne oznaczenie).
2. prosimy również o odczytanie nazwy głowicy jaka została zastosowana w tym odbiorniku (również dokładne oznaczenie).

Biuro Opracowań i Wdrożeń Elektroniki „JUPITEL" s.c.
80-822 GDAŃSK, ul Rzeźnicka 54/56
tel.: (058)375235
fax: (058)316024



Współpraca odbiornika telewizyjnego z komputerem osobistym

Miron Kłosowski

Większość spotykanych obecnie urządzeń audio/video posiada sterowanie mikroprocesorowe. Wewnątrz takiego urządzenia znajduje się mikrokontroler, który za pomocą specjalnej magistrali I²C (Inter IC bus - najczęściej stosowana w sprzęcie powszechnego użytku) może sterować pracą prawie wszystkich nowoczesnych podzespołów urządzenia. Opisy takich podzespołów pojawiają się na łamach wielu czasopism, w tym także "Serwisu Elektroniki".

Niniejszy artykuł opisuje podstawowe założenia funkcjonowania magistrali I²C oraz budowę prostego układu sprzęgającego ją z komputerem za pośrednictwem interfejsu RS232. Przedstawiony interfejs umożliwia sterowanie wybranych podzespołów urządzenia za pomocą komputera oraz jest pomocne przy konstruowaniu i uruchamianiu układów wykorzystujących ten typ magistrali.

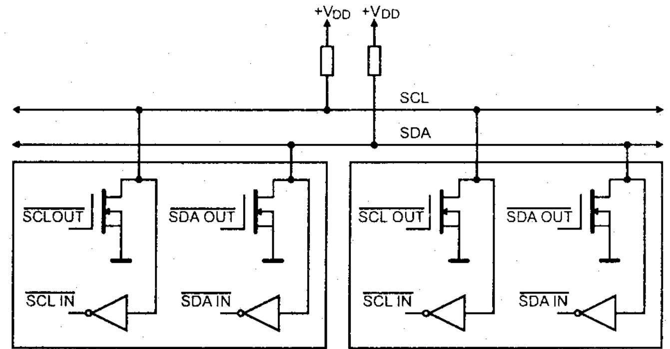
Praktycznym i bardzo ciekawym zastosowaniem interfejsu może być połączenie telewizora wyposażonego w dekoder telegazety z układem SAA5243 (lub kompatybilnym), z komputerem klasy IBM PC. Opis takiej realizacji zawiera niniejszy artykuł.

Opis magistrali I²C

Magistrala I²C jest dwuprzewodową, dwukierunkową szyną z transmisją szeregową synchronizowaną linią zegara. Szybkość transmisji danych na magistrali nie jest ściśle określona (zależy od zegara układu nadrzędnego - *master*) i może osiągać wartości do 100 kbit/s.

Każde urządzenie podłączone do tej magistrali musi posiadać wyjście typu otwarty kolektor lub otwarty dren. Dotyczy to obu linii - danych SDA i zegara SCL. Obie linie są podłączone do napięcia zasilania (najczęściej +5V) przez „rezystory podciągające". W ten sposób powstaje iloczyn montażowy (stan logiczny 1 na linii występuje tylko, gdy wszystkie wyjścia są w stanie logicznym 1). Budowę magistrali I²C przedstawia rys. 1.

W systemach z 5V napięciem zasilającym, poziomy na liniach

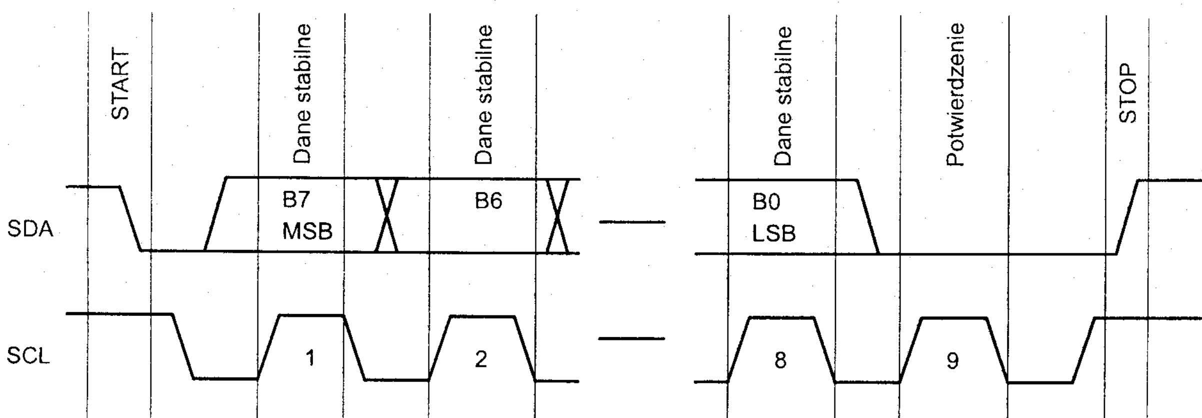


Rys.1. Budowa magistrali I²C.

są zgodne ze standardem TTL z małym wyjątkiem: wejściowe maksymalne napięcie w niskim stanie logicznym zostało podniesione do 1.5V (zwiększenie marginesu szumów).

Kiedy na magistrali nie odbywa się transmisja danych obie linie są w stanie 1. W czasie transmisji danych poziom na linii SDA musi był stabilny, gdy linia SCL jest w stanie 1. Informacja jest przesyłana w 8-bitowych słowach z dodatkowym bitem potwierdzenia. Na początku każdej transmisji na linie wysyłany jest sygnał START (zdefiniowany jako opadające zbocze na linii SDA podczas, gdy linia SCL jest w stanie 1). Analogicznie na końcu każdej transmisji wysyłany jest sygnał STOP (zdefiniowany jako narastające zbocze na linii SDA, gdy linia SCL jest w stanie 1).

Po transmisji każdego bajtu układ odbierający dane potwierdza odbiór przez wysłanie stanu 0 na linię SDA w czasie 9 impulsu zegarowego. Przykładowy przebieg transmisji jednego bajtu jest przedstawiony na rysunku 2.



Rys.2. Transmisja jednego bajtu.

Do magistrali I^{2}C może być podłączonych wiele układów nadrzędnych (*master*). Układ *master* jest to taki układ, z którego inicjatywy może zacząć się transmisja danych. Może się zdarzyć, że dwa układy *master* próbują równocześnie rozpocząć transmisję. W tym wypadku wykonywana jest procedura określenia priorytetu. Zegary obu układów *master* synchronizują się (układy obserwują stan linii SCL). Układ, który generuje najdłuższy okres stanu 0 na SCL, zdeterminuje czas trwania tego stanu. Czas trwania stanu 1 na SCL jest zdeterminowany przez układ, który generuje najkrótszy (okres stanu 1 na SCL).

Po zsynchronizowaniu zegarów układy transmitują dane, równocześnie obserwując stan SDA. W momencie powstania różnicy w poziomach transmitowanych przez układy następuje utrata priorytetu przez układ , który chciał wysłać stan 1 na SDA (ze względu na montażowy iloczyn został wysłany stan 0).

Pierwszy bajt transmitowany na magistrali (po sygnale START) zawsze zawiera 7-bitowy adres układu podrzędnego (*slave*), do którego kierowana jest transmisja. Ósmy najmniej znaczący bit zawiera informację o kierunku transmisji danych:

0 - oznacza zapis danych do urządzenia *slave*,
1 - oznacza odczyt danych z urządzenia *slave*.

Gdy realizowany jest odczyt danych z urządzenia *slave*, urządzenie *master* generuje sygnały potwierdzenia. Wyjątkiem jest ostatni bajt transmisji. Brak potwierdzenia odbioru przez układ *master* jest dla układu *slave* sygnałem, że nie powinien on transmitować kolejnego bajtu. Transmisja ta mogłaby bowiem zakłócić wytworzenie sygnału STOP przez układ *master*.

Budowa układu sprzęgającego magistralę z RS232

Schemat ideowy układu jest przedstawiony na rysunku 3. Sercem jego jest układ scalony MAX232. Jest on buforem (dwa wejścia i dwa wyjścia) realizującym konwersję poziomów logicznych sygnałów standardu TTL na standard RS232 i odwrotnie. Istotną zaletą tego układu jest to, że wymaga on tylko jednego napięcia zasilania (+5V). Zawiera on podwajacz i inwerter napięcia tworząc w ten sposób dwa napięcia: -9V i +9V potrzebne do nadajnika linii standardu RS232. Drugi układ scalony (74LS05) realizuje funkcję bufora z otwartym kolektorem sprzęgającego z magistralą I^{2}C. Parametry buforów RS232 (*slew rate*) ograniczają częstotliwość zegara SCL do około 40 kHz (przy pojemności kabla 2500 pF). Przy korzystnych warunkach (mała pojemność kabla) częstotliwość zegara SCL może być większa, nawet do 100 kHz.

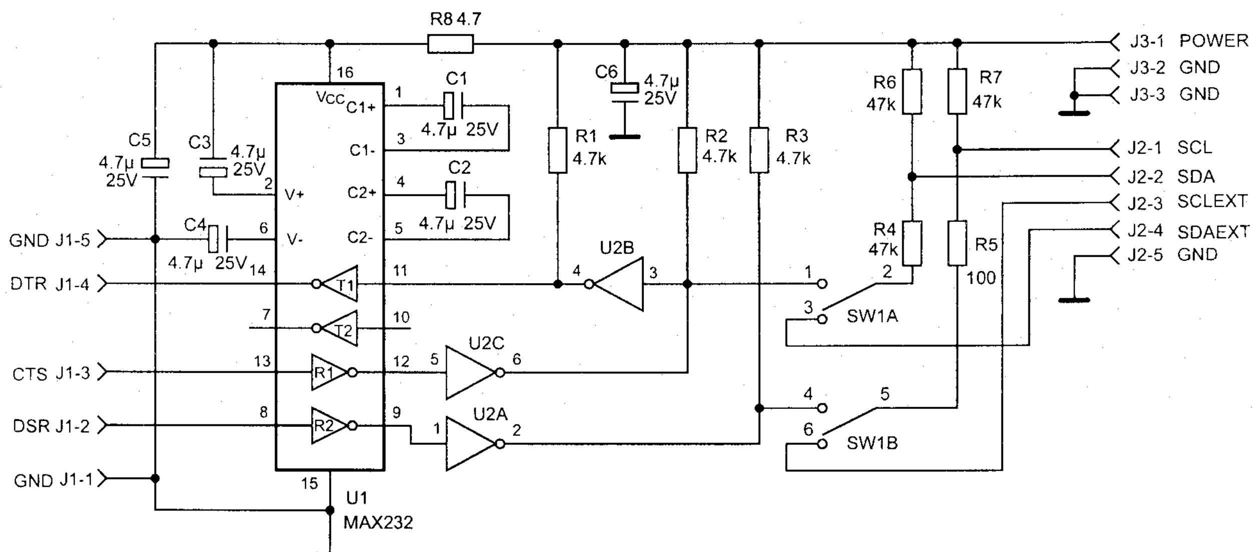
Opisywany układ sprzęgający może pracować tylko jako układ nadrzędny (*master*) bez możliwości współpracy z innymi układami *master* na tej samej magistrali (ze względu na ograniczoną przepustowość sprzęgu RS232 mogą wystąpić kłopoty z realizacją programową procesu synchronizacji zegarów i określania priorytetu).

Aby umożliwić dołączanie układu do magistrali zawierającej już układ nadrzędny wprowadzono przełącznik pozwalający na odłączenie wybranego zestawu urządzeń *slave* od reszty magistrali i podłączenie ich do sprzęgu RS232. Urządzenia *slave* sterowane ze sprzęgu RS232 są podłączone do końcówek 1 i 2 złącza J2 (sygnały SCL i SDA). Reszta magistrali (wraz z istniejącymi tam urządzeniami *master*) jest podłączona do końcówek 3 i 4 złącza J2 (sygnały SCLEXT i SDAEXT). Należy pamiętać o tym, aby istniejące w magistrali rezystory podciągające pozostały podłączone do reszty magistrali.

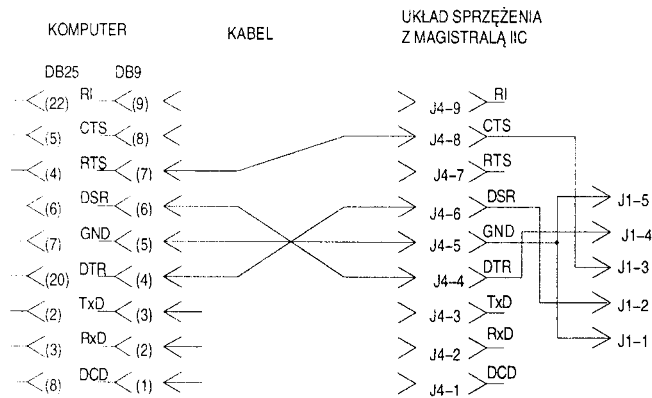
Połączenia związane z magistralą I^{2}C powinny być jak najkrótsze. Układ sprzęgający może być podłączony tylko do magistrali I^{2}C, której rezystory podciągające są podłączone do napięcia +5V (jest to typowa magistrala I^{2}C). Cały układ sprzęgający jest zasilany napięciem +5V i pobiera w normalnych warunkach prąd około 15mA. Sposób połączenia układu z komputerem został przedstawiony na rysunku 4.

Rozkład połączeń w gnieździe RS232 (złącze J4) podłączonym do układu sprzęgającego z magistralą I^{2}C za pomocą złącza J1 jest zgodny z rozkładem typowym dla komputera. Dlatego konieczne jest zastosowanie kabla połączeniowego z „przeplotem". Jest to bardzo często stosowana konfiguracja (np.: połączenie komputer - komputer, komputer - niektóre drukarki, itp.).

Sposób połączenia układu z magistralą I^{2}C telewizora zawierającego dekoder teletekstu oparty na układzie SAA5243 przedstawiono na rysunku 5. Jak widać podłączenie układu wymaga przecięcia ścieżek SCL i SDA łączących się z końcówkami 19 i 20 układu SAA 5243 oraz wyprowadzenie odpowiednich szyn magistrali na złącze J2 czyli do przełącznika SW1. W tym przykładzie SAA5243 jest jedynym układem sterowanym z komputera (ewentualne inne układy pozostają w magistrali



Rys.3 Schemat ideowy układu interfejsu I2C/RS232.



Rys.4. Połączenie układu z komputerem.

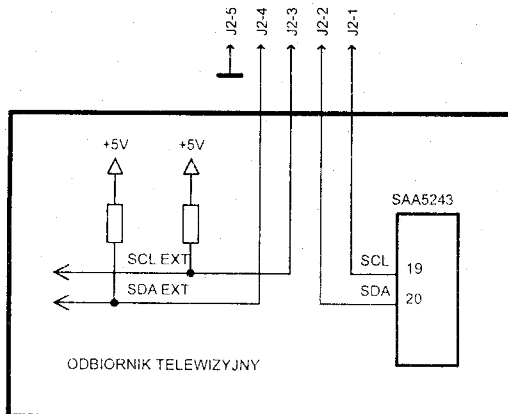
podłączonej do oryginalnego mikrokontrolera). Pozwala to zazwyczaj na normalne działanie pozostałych funkcji telewizora (nie związanych z teletekstem) podczas gdy układ SAA5243 jest sterowany z komputera zewnętrznego. Równocześnie wbudowany w telewizor mikrokontroler nie będzie zakłócał transmisji komputera zewnętrznego sterującego układem SAA5243.

Przy zwolnionym przełączniku SW1 komputer zewnętrzny będzie odcięty od magistrali I^2C, a układ SAA5243 zostanie podłączony do reszty magistrali I^2C telewizora.

Do układu można również podłączyć dekoder teletekstu zbudowany w oparciu o układ scalony kompatybilny z SAA5243. Na przykład układ SAA5246 (wyprowadzenia: SDA - końcówka 24, SCL - końcówka 23). Autor opracował też wersje współpracujące z SDA5248 (stosowane w odbiornikach telewizyjnych Siesta produkcji Gdańskich Zakładów Telewizyjnych „UNIMOR") oraz z SAA5254 i SAA5281 zarówno w zakresie hardware jak i niezbędnego software. W odpowiedzi na różnorodne zapotrzebowania klientów opracowano także wersje interfejsu pracujące z innymi portami IBM-PC np. CENTRONICS. Wszystkie rozwiązania są funkcjonalnie prawie identyczne i wykorzystują patent nr 164600 zapewniający prawną ochronę praw autorskich twórców.

Uruchomienie układu i uwagi końcowe

Najłatwiej sprawdzić układ poprzez użycie go jako „sprzęg" telewizora z komputerem i uruchomić, stosując kompletny program o nazwie TXTOBSX.exe (program obsługi telegazety) umożliwiający realizację niemal wszystkich operacji związanych z dekoderem teletekstu opartym na układzie SAA5243.



Rys.5. Podłączenie układu do dekodera teletekstu.

Tak zestawiony sprzęt (telewizor- układ sprzęgający - mikrokomputer IBM PC) sterowany programem obsługi telegazety TXTOBSX.exe tworzy „System Wprowadzania Telegazety do Mikrokomputera IBM PC". System ten pozwala na odbiór telegazety zprogramów satelitarnych i umożliwia wyświetlanie znaków diakrytycznych głównych języków europejskich. Pozwala również na automatyczne wprowadzanie zadeklarowanych stron/podstron ich weryfikację, edycję, zapis na dysk w wielu formatach, odbiór stron ukrytych, wydruk stron w postaci ASCII lub z pełną grafiką - także w kolorach.

Układ sprzęgajacy, prawidłowo zmontowany i zawierający sprawne elementy oraz podłączony do sprawnych portów działa bez żadnych zabiegów a oprogramowanie TXTOBSX automatycznie rozpoznaje kartę graficzną i adres portów RS 232.

Istotne jest aby telewizor miał masę galwanicznie izolowaną od sieci co na ogół jest spełnione ale też należy sprawdzić czy między masą komputera a masą telewizora nie występuje różnica potencjałów.

Ze względu na to, że w kraju stosowany jest powszechnie system ochrony przeciwporażeniowej oparty o tzw. „zerowanie" w systemie dwuprzewodowym, mogą wystąpić różnice potencjałów pomiędzy masą komputera (zerowaną) a masą telewizora z anteną, która może być niekiedy bardzo dobrze uziemiona. Różnica potencjałów pomiędzy masami, która powstaje w takiej sytuacji, zależy wtedy bezpośrednio od spadku napięcia na przewodzie zerowym, który oczywiście zależy od obciążenia (czyli prądu płynącego przez ten przewód). Ta różnica potencjałów może niekiedy wynosić nawet kilkanaście voltów i jest już niebezpieczna dla łączonych urządzeń nie mówiąc już o zakłóceniach, które wprowadza w ich pracy. Problem ten, jeżeli wystąpi, należy rozwiązać lokalnie i zgodnie z logiką.

Najprościej jest nie zerować komputera (praca bez kołka zerowego). Można też wykonać instalację trójprzewodową z przewodem bezpieczeństwa bezprądowym - uziemionym tak, jak robi się to na całym świecie. Można też zastosować separację pojemnościową w gniazdku anteny (kondensatory ok. 1-4 nF) lub najlepiej zastosować separację optyczną w łączu RS232 (transoptory).

Do uruchomienia układu niezbędna jest dyskietka zawierająca:

- program obsługi telegazety TXTOBSX.EXE umożliwiający wykorzystanie wszystkich funkcji Systemu Wprowadzania Telegazety do IBM. Program identyfikowany jest numerem seryjnym. Istnieje kilka wersji „branżowych" tego programu.
- instrukcja posługiwania się Systemem Wprowadzania Telegazety do komputera

Niezbędne oprogramowanie, instrukcje obsługi i ewentualnie uruchomione płytki do samodzielnego montażu jak i montaż w dostarczonych OTV dostępne są w PIE "ETRAD" 80-365 Gdańsk ul.CZARNY DWÓR 6 pokój nr 8 tel/fax (058) 53-12-71 w 312 po 20-tej tel 53-03-29. Prowadzimy też sprzedaż wysyłkową (za zaliczeniem pocztowym).

Zainteresowanych informujemy, że produkujemy szereg innych układów programowo-sprzętowych związanych z szeroko pojętą techniką teletekstu wykorzystujących nasze chronione prawem autorskim rozwiązania. Legalne oprogramowanie można nabyć tylko w PIE ETRAD. Ewentualne komercyjne wykorzystywanie publikowanych rozwiązań wymaga oczywiście odpowiednich uzgodnień z autorami co jest możliwe za pośrednictwem PIE ETRAD. ▣

DIGIT2000 - koncepcja cyfrowego odbiornika telewizyjnego (cz. 5)

DPU2553 - Procesor odchylania

Lucjan Jednac

DPU2553 (*Deflection Processor Unit*) jest głównym układem odpowiedzialnym za sterowanie stopni końcowych układów odchylania poziomego i pionowego, stosowanym w cyfrowych odbiornikach telewizyjnych serii DIGIT2000. Na podstawie cyfrowego sygnału video, procesor odchylania wytwarza impulsy sterujące standardową (analogową) końcówką linii i ramki.

Uwaga: *W bardziej rozbudowanych wersjach cyfrowych odbiorników serii DIGIT2000 spotyka się również procesory odchylania DPU2554 oraz DPU2555. Pierwszy z nich stosowany jest w odbiornikach z podwójną częstotliwością odchylania (31 kHz). Układ DPU2555 podobny jest natomiast do układu DPU2553 lecz dzięki dodatkowemu bitowi zawartemu wewnatrz rejestrów sterujących może być stosowany jako drugi procesor odchylania w tym samym odbiorniku (dołączony do tej samej magistrali sterującej). W takim odbiorniku układ DPU2553 pracuje wówczas jako główny procesor odchyleniowy, zaś DPU2555 przeznaczony jest tylko dla dekodera teletekstu w celu poprawy jakości odtwarzanego na ekranie tekstu.*

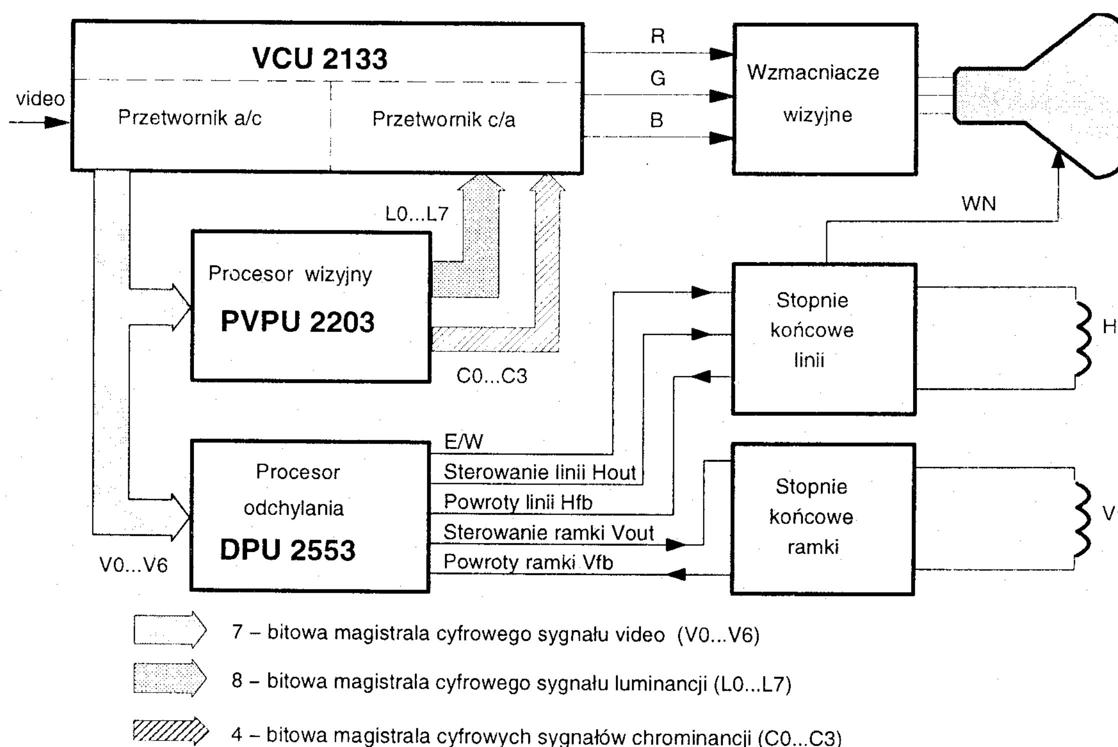
Sposób włączenia układu DPU2553 w odbiorniku przedstawiony został na rysunku 1. Układ ten zbudowany w technologii NMOS, dostępny jest w standardowej obudowie typu DIL40. Schemat blokowy procesora DPU2553 został przedstawiony na rysunku 2, zaś rozkład wyprowadzeń rysunku 3.

Układ DPU2553 zawiera bloki funkcjonalne odpowiedzialne za realizację następujących funkcji:

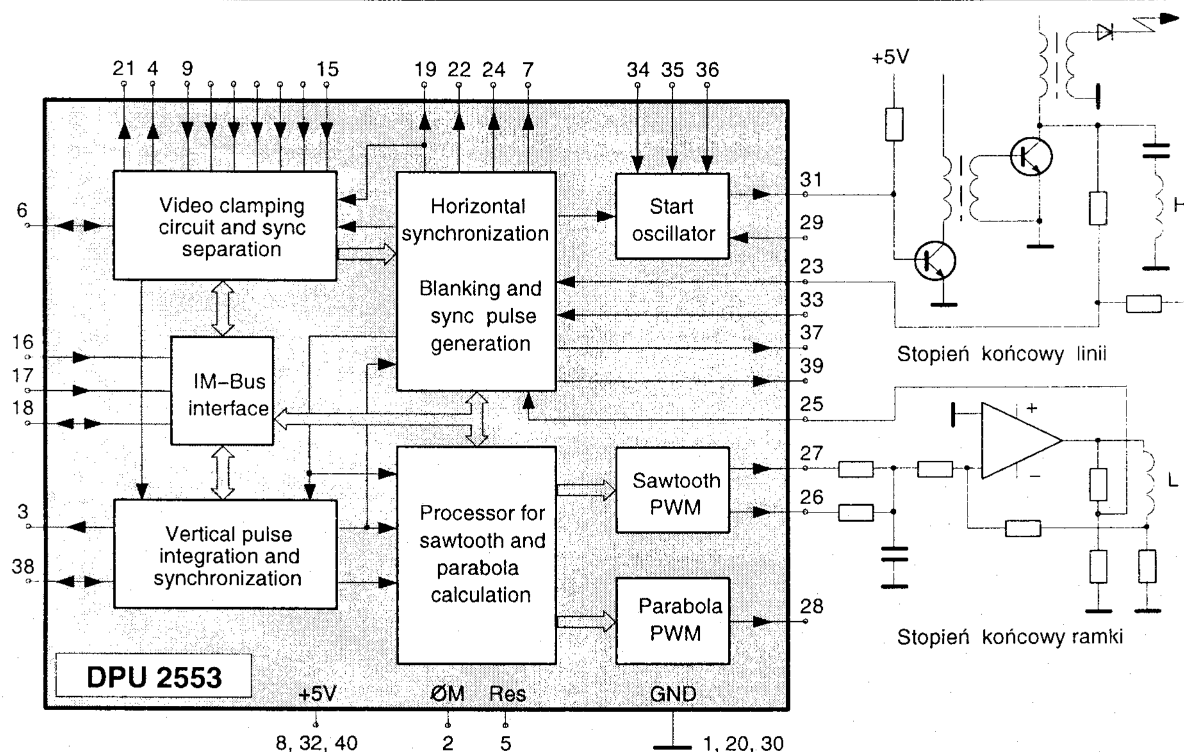
- klampowanie sygnałów video (*video clamping*)
- separacja impulsów synchronizacji linii i ramki (*sync pulse separation*)
- synchronizacja impulsów linii (*horizontal synchronization*)
- sterowanie układami odchylania linii (*horizontal deflection*)
- korekcja E/W (*East/West*)
- synchronizacja impulsów ramki (*vertical synchronization*)
- sterowanie układami odchylania ramki (*vertical deflection*)
- generacja przebiegu piłokształtnego (*sawtooth generator*)
- generacja przebiegów odchylających specjalnie dla dekodera teletekstu (18.7 kHz dla impulsów linii oraz 60 Hz dla impulsów ramki)
- możliwość pracy w standardzie D2-MAC

1. Opis funkcjonalny

Procesor odchylania DPU2553 sterowany jest poprzez centralny mikrokontroler sterujący za pośrednictwem magistrali IM-Bus (n.16,n.17 i n.18). Protokół transmisji szyny IM-Bus opisany został w numerze 9/96 SE. Podobnie jak w przypadku wcześniej opisywanych układów, niezbędny dla poprawnej



Rys.1. Sposób włączenie układu DPU2553.



Rys.2. Schemat blokowy procesora odchylania DPU2553.

pracy zewnętrzny, główny sygnał zegarowy doprowadzony jest do wyprowadzenia n.2 układu.

Wszystkie przebiegi generowane są na podstawie cyfrowego sygnału video doprowadzonego do procesora liniami V0...V6 (n.9...n.15) z układu przetwornika VCU2133.

1.1. Układy separacji oraz klampowania sygnału video

W celu zwiększenia odporności na różnego rodzaju zakłócenia, cyfrowy sygnał wizyjny doprowadzony z układu przetwornika VCU2133 jest najpierw filtrowany przez wewnętrzne układy filtrujące.

Po włączeniu odbiornika układy klampowania zapewniają optymalne dopasowanie poziomu analogowych sygnałów wizyjnych do zakresu działania przetworników analogowo-cyfrowych.

Układ DPU2553 dostarcza dwóch sygnałów klampujących dla sygnału video. Jeden z nich przeznaczony jest dla sygnału TV o amplitudzie 2Vpp wytworzonego przez układy p.cz. odbiornika, drugi natomiast służy do klampowania sygnału AV o amplitudzie 1Vpp.

Układy separacji wydzielają z cyfrowego sygnału video impulsy synchronizacji linii oraz ramki.

1.2. Układy synchronizacji linii, generator linii, układy wygaszania

Istnieją dwa podstawowe tryby pracy układów linii, praca synchroniczna oraz asynchroniczna. Praca synchroniczna ma miejsce wówczas gdy istnieje ścisła zależność pomiędzy podnośną koloru a częstotliwością odchylania (jak w przypadku audycji nadawanych w standardzie PAL lub NTSC), praca asynchroniczna ma miejsce w przypadku gdy brak jest tej zależności (na przykład audycja biało-czarna).

W przypadku braku synchronizmu, częstotliwość odchylania linii otrzymywana jest w wyniku zmiany podziału sygnału zegarowego dostarczonego do wyprowadzenia n.2. Poprawne ustawienie zapewnia wewnętrzny komparator fazy.

W przypadku pracy synchronicznej do dzielnika częstotliwości wpisywane są standardowe nastawy, zależne od rodzaju transmisji (PAL lub NTSC). Przełączanie pomiędzy obydwoma trybami odbywa się w sposób automatyczny.

Układy wygaszania mają za zadanie generować odpowiednie impulsy służące do sterowania pozostałych układów odbiornika.

1.3. Oscylator startowy

W celu zabezpieczenia stopni końcowych linii podczas przełączania standardów zastosowano w układzie dodatkowy oscylator startowy. Sterowany jest z zewnętrznego sygnału zegarowego (4MHz), niezależnego od głównego sygnału zegarowego doprowadzonego do n.2 układu, oraz zasilany napięciem doprowadzonym do wyprowadzenia Vosc (n.35). Funkcje realizowane przez oscylator zależą od stanu wejść n.33 i n.36 zgodnie z tablicą 1.

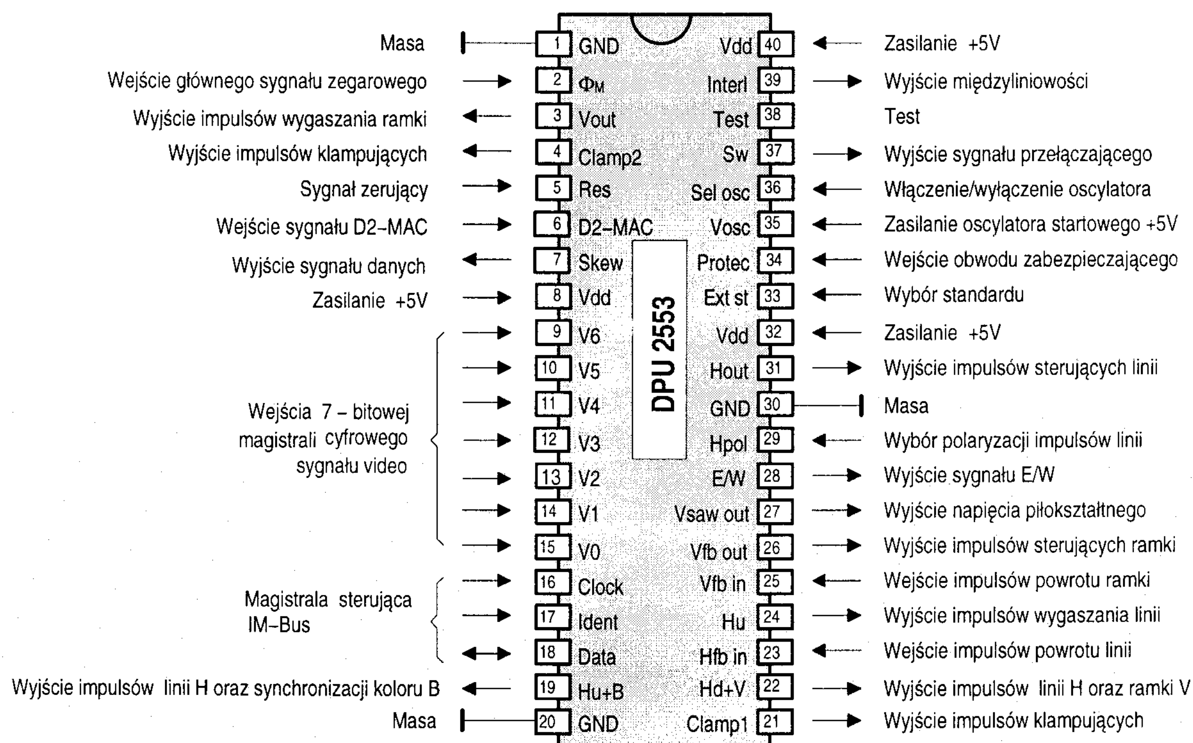
1.4. Układy synchronizacji ramki

Układy synchronizacji pionowej dostarczają odpowiednie impulsy do układów generatora ramki oraz układów wygaszania.

Podobnie jak w przypadku linii, również układy odchylania ramki pracują w trybie synchronicznym lub asynchronicznym.

W przypadku pracy synchronicznej częstotliwość odchylania ramki otrzymywana jest w wyniku podziału podwójnej częstotliwości linii (31kHz) przez stały współczynnik (625 dla standardu PAL i SECAM lub przez 525 dla standardu NTSC).

Jeśli nie istnieje stała zależność pomiędzy częstotliwościami linii i ramki (praca asynchroniczna), układy ramki synchronizowane są sygnałem wydzielonym z cyfrowego sygnału video.



Rys.3. Rozkład wyprowadzeń układu DPU 2553.

Tablica 1

Ext st n.33	Protec n.34	Vosc n.35	Sel osc n.36	Funkcja	
n.c	4MHz	+5V	masa	układy linii zabezpieczone podczas zmiany częstotliwości podnośnej koloru (PAL i NTSC)	
n.c	4MHz	+5V	+5V	zabezpieczone układy linii, układ oscylatora startowego działa dla standardu PAL i NTSC	
+5V	4MHz	+5V	+5V	oscylator startowy działa w standardzie NTSC	
masa	4MHz	+5V	+5V	oscylator startowy działa w standardzie PAL lub SECAM	
masa	masa	+5V	masa	brak zabezpieczenia linii, oscylator startowy nie działa	17.7 MHz dla standardu PAL lub SECAM
+5V	masa	+5V	masa	brak zabezpieczenia linii, oscylator startowy nie działa	14.3 MHz dla standardu NTSC

gdzie: n.c - wyprowadzenie niepodłączone

1.5. Generator przebiegu piłokształtnego i paraboli

Układy synchronizacji ramki sterują dwa modulatory szerokości impulsów (*PWM*). Na wyprowadzeniach n.27 oraz n.28 pojawiają się impulsy o modulawanej szerokości, zależnej od nastaw (związanych z geometrią obrazu) zapamiętanych w pamieci nieulotnej podczas produkcji odbiorników.

Sygnał na wyprowadzeniu n.27 słuzy do sterowania układu wykonawczego ramki, natomiast sygnał na wyprowadzeniu n.28 wykorzystywany jest do ustawiania korekcji E/W.

Sygnały PWM są przetwarzane przez zewnętrzne układy RC na odpowiednie przebiegi przestrajające stopnie końcowe odchylania.

1.6. Interfejs szyny IM-Bus

Zastosowany w układzie interfejs umożliwia komunikację procesora odchylania z centralnym mikrokontrolerem sterującym. Dzięki temu możliwe jest między innymi:

- wybór standardu PAL/NTSC lub D2-MAC
- wybór częstotliwości odchylania (standardowa, 15.5 kHz lub przeznaczona specjalnie dla dekodera teletekstu 18.7 kHz)
- zmiana stałej czasowej dla układów synchronizacji
- ustawianie amplitudy ramki, S-korekcji, centrowanie w pionie
- ustawianie E/W paraboli, szerokości, korekcji trapezoidalnej

2. Opis wyprowadzeń

Układ DPU2553 zawarty jest w standardowej obudowie 40-nóżkowej. Poszczególnym wyprowadzeniom przyporządkowano następujące funkcje:

n.1 **GND** - masa układu
n.2 **ΦM** - wejście głównego sygnału zegarowego

n.3 **Vout** - wyjście impulsów wygaszania ramki

n.4 **Clamp2** - wyjście 2 impulsów klampujących. Na wyjściu tym generowane są impulsy służące do klampowania sygnału wizyjnego doprowadzonego do układu przetwornika VCU2133.

n.5 **Res** - wejście sygnału zerującego. Resetowanie układu następuje poprzez chwilowe wymuszenie stanu niskiego. W stanie ustalonym (wysokim) układ jest gotowy do komunikacji z centralnym procesorem sterującym za pośrednictwem magistrali IM-Bus.

n.6 **D2-MAC** - wejście sygnału nadawanego w systemie D2-MAC

n.7 **SKEW** - wyjście sygnału danych dla dekodera teletekstu. Na wyprowadzeniu tym pojawia się sygnał wymagany między innymi przez dekoder teletekstu (np. TPU2732), niosący informację, która umożliwia odpowiednie ustawienie fazy sygnału video oraz dane dotyczące synchronizacji ramki.

n.8 **Vdd** - napięcie zasilania **+5V**

n.9 wejście **V6** sygnału video (MSB najbardziej znaczący bit)

n.10 wejście **V5** sygnału video

n.11 wejście **V4** sygnału video

n.12 wejście **V3** sygnału video

n.13 wejście **V2** sygnału video

n.14 wejście **V1** sygnału video

n.15 wejście **V0** sygnału video (LSB najmniej znaczący bit). Cyfrowy sygnał video doprowadzany jest na 7 liniach z układu przetwornika VCU2133. Ten sam sygnał doprowadzony jest równolegle do pozostałych układów odbiornika.

n.16 **Clock** - linia zegarowa szyny IM-Bus

n.17 **Ident** - linia identyfikacji szyny IM-Bus

n.18 **Data** - linia danych szyny IM-Bus. Wyprowadzenia n.16, n.17 oraz n.18 łączą procesor odchylania DPU2553 z główną szyną sterującą odbiornika, umożliwiając tym samym komunikację z centralnym mikrokontrolerem sterującym.

n.19 **Hu+B** - wyjście złożonego sygnału synchronizacji koloru B oraz nieopóźnionych impulsów wygaszania linii H. Sygnał ten doprowadzony między innymi do układu przetwornika VCU2133 (n.36) umożliwia poprawną pracę układów wygaszania znajdujących się wewnątrz tego układu. Kształt tego sygnału przedstawiony jest na rys. 4a.

n.20 **GND** - masa układu

n.21 **Clamp1** - wyjście 1 impulsów klampujących. Wyprowadzenie to spełnia podobną rolę co n.4. Jeden sygnał służy do klampowania sygnału TV (z układu p.cz. odbiornika), drugi natomiast wykorzystywany jest do klampowania sygnału AV doprowadzonego z urządzenia zewnętrznego.

n.22 **Hd+V** - wyjście złożonego sygnału wygaszania ramki V oraz opóźnionych impulsów wygaszania linii H. Sygnał ten (podobnie jak sygnał Hu+B na n.19) wykorzystywany jest między innymi przez układy wygaszania zawarte wewnątrz przetwornika VCU2133. Kształt tego sygnału przedstawiony jest na rysunku 4b.

n.23 **Hfb in** - wejście impulsów powrotu linii (*horizontal flyback*). Impulsy powrotu linii doprowadzone do tego wyprowadzenia powinny być klampowane przez diodę do +5V

n.24 **Hu** - wyjście nieopóźnionego sygnału wygaszania linii. Sygnał pojawiający się na tym wyprowadzeniu służy do kluczowania pracą niektórych układów (między innymi dekodera teletekstu, dekodera SECAM).

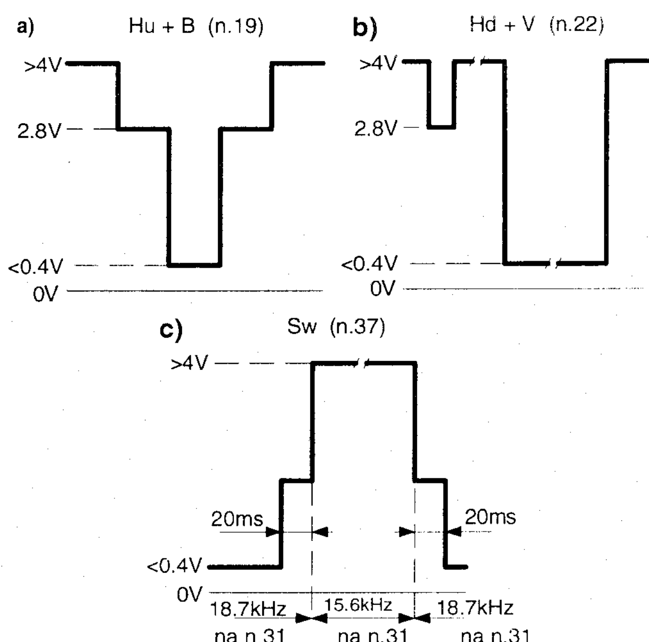
n.25 **Vfb in** - wejście impulsów powrotu ramki (*vertical flyback*). Do wyprowadzenia tego dostarczane są impulsy z cewek odchylających, które wykorzystywane są w celu zabezpieczenia układu przed ewentualnymi niepożądanymi zjawiskami mogącymi występować w stopniach końcowych odchylania.

***Uwaga:** Jeśli w trakcie wygaszania ramki impulsy doprowadzone do wyprowadzenia n.25 przekroczą próg 2.5V, wówczas sterowanie stopni końcowych zostaje zablokowane. W przypadku kiedy w odbiorniku nie jest stosowane tego typu zabezpieczenie, wyprowadzenie n.25 powinno być podłączone na stałe do napięcia zasilającego +5V.*

n.26 **Vfb out** - wyjście impulsów sterujących ramki. Na wyprowadzeniu tym pojawia się przebieg piłokształtny (taki sam jak na wyprowadzeniu n.27) tylko przez 0.35ms od startu. W trakcie normalnej pracy wyprowadzenie to znajduje się w stanie wysokiej impedancji. Sygnał ten wykorzystywany jest do szybkiego ładowania pojemności całkującej.

n.27 **Vsaw out** - wyjście impulsów piłokształtnych. Sygnał ten służy do sterowania stopni końcowych ramki w trakcie normalnej pracy odbiornika. Odpowiednie ukształtowanie tego sygnału następuje w zewnętrznych układach RC.

n.28 **E/W out** - wyjście sygnału korekcji. Na wyprowadzeniu tym generowany jest sygnał służący do poprawnego ustawienia geometrii obrazu. Zmiana parametrów obrazu dokonywana jest przez centralny mikrokontroler sterujący za pośrednictwem magistrali IM-Bus.



Rys.4. Przebiegi sygnałów na wybranych wyprowadzeniach układu: a) impulsy linii i synchronizacji koloru (n.19), b) impulsy linii i ramki (n.22), c) wyjście przełączające (n.37).

Rys.5. Schemat aplikacyjny układu DPU 2553.

n.29 **Hpol** - wejście wyboru polaryzacji impulsów linii. Wyprowadzenie to umożliwia zmianę polaryzacji sygnału sterującego linii pojawiającego się na wyprowadzeniu n.31. W trakcie normalnej pracy powinno być podłączone do masy lub do +5V.

n.30 **GND** - masa układu

n.31 **H out** - wyjście impulsów sterujących linii (*horizontal output*). Na wyprowadzeniu tym pojawia się przebieg służący do sterowania stopni końcowych odchylania linii. Polaryzacja tego sygnału zależy od stanu wymuszonego na wyprowadzeniu Hpol (n.29).

n.32 **Vdd** - napięcie zasilania +5V

n.33 **Ext st** - wejście wyboru standardu. Jeśli wyprowadzenie to jest podłączone do +5V, procesor odchylania pracuje tylko w standardzie NTSC. Jeśli wyprowadzenie jest zwarte do masy, układ jest przystosowany do pracy w systemie PAL/SECAM. Przełączanie pomiędzy standardami realizowane jest za pośrednictwem szyny IM-Bus. W przypadku gdy wyprowadzenie pozostaje niepodłączone, wszystkie standardy mogą być dostępne za pośrednictwem magistrali sterującej.

n.34 **Protec** - wejście obwodu zabezpieczającego. W przypadku gdy wyprowadzenie n.33 pozostaje niepodłączone, w celu zabezpieczenia układów linii do n.34 należy doprowadzić sygnał zegarowy o częstotliwości 4MHz. W celu minimalizacji kosztów może to być na przykład sygnał oscylatora kwarcowego dołączonego do centralnego mikrokontrolera sterującego, doprowadzony poprzez pojemność separującą.

Uwaga: *Jeśli na wyprowadzeniu n.34 brak jest sygnału zegarowego a wyprowadzenie n.33 służące do wyboru standardu pozostaje niepodłączone, wówczas stan panujący na wyjściu sterującym linii (n.31) pozostaje nieokreślony, uniemożliwiając tym samym poprawną pracę odbiornika.*

n.35 **Vosc** - zasilanie oscylatora startowego. Wykorzystując to wyprowadzenie, możliwe jest przy minimalnym poborze prądu zadziałanie oscylatora startowego. W tym celu należy jedynie do n.34 doprowadzić sygnał zegarowy o częstotliwości 4MHz a n.36 zewrzeć z wyprowadzeniem n.35. W tej sytuacji możliwe jest generowanie impulsów sterujących na wyprowadzeniu n.31 układu.

n.36 **Sel osc** - wejście włączania/wyłączania oscylatora startowego. W przypadku gdy oscylator startowy jest wykorzystywany, wyprowadzenie n.36 układu powinno być połączone z n.35 (dołączone do napięcia zasilającego oscylator startowy). W sytuacji gdy n.36 jest zwarta do masy, oscylator startowy nie jest wykorzystywany. W tej sytuacji wyjście impulsów sterujących linii (n.31) pozostaje zablokowane (w stanie wysokim) tak długo jak na wyjściu Reset (n.5) panuje stan niski.

n.37 **Sw** - wyjście przełączające częstotliwość linii. Sygnał pojawiający się na tym wyprowadzeniu służy do przełączania stopni końcowych odchylania linii na pracę z różnymi częstotliwościami (pomiędzy 15.6kHz a 18.7 kHz wykorzystywane w celu poprawy jakości wyświetlanej na ekranie informacji teletekstowej). Kształt tego sygnału przedstawiony jest na rysunku 4c.

n.38 **Test** - wyprowadzenie testowe. Wyprowadzenie to służy do testowania układu podczas produkcji. W trakcie normalnej pracy powinno pozostać niepodłączone.

n.39 **Interl** - wyjście sygnału międzyliniowości. Wyprowadzenie to wykorzystywane jest do sterowania sposobem pracy układów odchylania ramki..

n.40 **Vdd** - napięcie zasilania +5V.

3. Parametry elektryczne

Podobnie jak w przypadku poprzednich układów w tablicy 2 podane zostały stany na wybranych wyprowadzeniach układu w trakcie normalnej pracy odbiornika. Może ona okazać się pomocna przy różnego rodzaju naprawach.

Tablica 2

Parametr	Jed.	Min.	Typ.	Max.
Napięcie zasilania (n.8,n.32,n.35,n.40))	V	4.75	5.0	5.25
Pobór prądu (n.8+n.32+n.40)	mA	-	170	300
Pobór prądu (n.35)	mA		2.5	5
Napięcie na wejściu sygnału $_{\Phi}$M (n.2)				
- amplituda	Vpp	0.8	-	2.5
-składowa stała	V	1.5	-	3.5
Napięcie na wejściu Reset (n.5)				
- stan niski	V	-	-	1.2
- stan wysoki	V	2.4	-	-
Wejście impulsów powrotu linii (n.23)				
- stan niski	V	-	-	0.8
- stan wysoki	V	3.2	-	-
We. impulsów powrotu ramki (n.25)				
- stan niski	V	-	-	1.5
- stan wysoki	V	3.5	-	-
Wy. impulsów wygaszania ramki (n.3)				
- stan niski	V	-	-	0.4
- stan wysoki	V	3.5	-	-
Wyj. impulsów wygaszania linii (n.24)				
- stan niski	V	-	-	0.4
- stan wysoki	V	3.5	-	-
Stany na liniach IM-Bus (n.16,n.17,n.18)				
- stan niski	V	-	-	0.8
- stan wysoki	V	2.4	-	-
Napięcie na wyjściu Sw (n.37)				
- stan niski	V	-	-	0.4
- stan wysoki	V	4.0	-	-

4. Rozwiązanie aplikacyjne

Na rysunku 5 przedstawiony został przykładowy schemat aplikacyjny układu DPU2553 wraz z układami linii i ramki stosowany między innymi w chassis C 9000/87 firmy LOEWE. Linią przerywaną zaznaczony jest moduł korekcji.

Kolejne odcinki cyklu DIGIT2000 poświęcone zostaną układom toru fonicznego. Tematem kolejnego artykułu będzie przetwornik sygnału audio ADC2310.



Odbiorniki TRILUX TAP2111, TAP2511, TAP2811 firmy Proelco (cz.2)

Grażyna Wielich

W drugiej części artykułu opisującego odbiorniki TRILUX zbudowane w oparciu o chassis PB250 omówione zostaną następujące części odbiornika:

- tor dekodera koloru;
- procesor wizyjny TDA4680;
- moduł wzmacniaczy wizyjnych;
- moduł teletekstu;
- moduł podglądu PIP.

Schemat ideowy części chassis PB250 zawierającej tor dekodera koloru, procesor wizyjny oraz moduł wzmacniaczy wizyjnych przedstawiono na rys. 3.

3.Tor dekodera koloru

W torze tym zastosowano następujące układy scalone:
- IC302 - dekoder PAL, SECAM , NTSC4,43 - układ TDA4657 PHILIPS;
- IC303 - linia opóźniająca sygnały różnicowe - układ TDA4661 PHILIPS;
- IC304 - układ poprawy zboczy sygnałów różnicowych CTI - układ TDA4565 PHILIPS.

Dekoder koloru TDA4657

Sygnał CH, który jest sygnałem video lub sygnałem chrominancji z końcówki 14 układu przełączającego IC301 (patrz cz.1 artykułu) jest podawany do filtru strojonego złożonego z elementów L302, C307, R315, którego zadaniem jest wydzielenie sygnału chrominancji i jednocześnie wprowadzenie deemfazy w.cz. w przypadku odbioru sygnału w standardzie SECAM. Filtr jest strojony na częstotliwość 4,286MHz . W przypadku odbioru sygnału koloru w systemie PAL lub NTSC4,43 charakterystyka filtru jest kształtowana przez dołączenie rezystora R319 tłumiącego obwód rezonansowy L302, C307. Tranzystor T302 w przypadku odbioru sygnałów PAL lub NTSC4,43 jest nasycony i dołącza rezystor R319 do obwodu rezonansowego.

Sygnał chrominancji po filtrze jest podawany przez kondensator C309 do końcówki 9 TDA4657.

W układzie scalonym TDA4657 wyróżnić można następujące bloki:

- wzmacniacz sygnału chrominancji objęty pętlą automatycznej regulacji wzmocnienia;
- generator sygnału odniesienia;
- demodulatory sygnałów różnicowych;
- układy wygaszania i wyłącznika koloru;
- układ identyfikacji.

Sygnał chrominancji z końcówki 9 TDA4657 jest wzmacniany w układzie z automatyczną regulacją wzmocnienia. Zadaniem tego układu jest utrzymanie stałej amplitudy sygnału chrominancji niezależnej od amplitudy sygnału wejściowego. Kondensatorem stałej czasowej układu jest kondensator C323 przyłączony do wyprowadzenia 10 TDA4657.

Sygnały odniesienia konieczne dla prawidłowej demodulacji sygnałów różnicowych uzyskiwane są z generatora pracującego z zewnętrznym rezonatorem kwarcowym X301 przyłączonym do wyprowadzenia 14 układu. Układ generatora pracuje na podwójnej częstotliwości podnośnej chrominancji 8,86MHz. Kondensator strojony C312 pozwala na dostrojenie częstotliwości generatora. Układ PLL ze stałą czasową przesuwnika fazy - C313, C314, R324 - przyłączoną do wyprowadzenia 15 TDA4657 utrzymuje zgodność fazy sygnału generatora z fazą sygnału identyfikacji koloru „burst" wejściowego sygnału chrominancji. Zwarcie punktu pomiarowego TP302 pozwala na odłączenie wejściowego sygnału chrominancji od układu PLL i zestrojenie częstotliwości drgań własnych generatora.

Przy odbiorze sygnału w systemie SECAM sygnały odniesienia dla demodulatorów są uzyskiwane z dzielników dzielących sygnał odniesienia 8,86MHz. Pętla fazowa układu PLL przy odbiorze sygnałów SECAM jest wyłączona.

Demodulatory PAL, NTSC są detektorami synchronicznymi.

Demodulatory SECAM zawierają układy PLL, w których ustalane są poziomy czerni sygnałów różnicowych koloru SECAM. Kondensatorami pamiętającymi wartości odpowiadające poziomom czerni są kondensatory przyłączone do wyprowadzeń 4 - C319 i 8 - C322.

Generator układu PLL SECAM pracuje z zewnętrznymi elementami przyłączonymi do wyprowadzenia 6 - C320, R328.

Sygnały różnicowe SECAM po detekcji są przetwarzane przez układ deemfazy m. cz. z zewnętrznym kondensatorem przyłączonym do wyprowadzenia 2 - C318. Zdemodulowane sygnały różnicowe są podawane do układów wygaszających i układu wyłącznika koloru w TDA4657.

Układ identyfikacji zawiera trzy demodulatory sygnałów identyfikacji i układ przełącznika H/2. Kondensatory przyłączone do wyprowadzeń 12 i 13 TDA4657 - C310 i C311 są kondensatorami pracującymi w układzie identyfikacji. Na końcówki 17, 18, 19 TDA4657 wyprowadzone są napięcia wyjściowe z układu identyfikacji:

- końcówka 17 - pojawia się tam stan wysoki 6V w przypadku identyfikacji systemu PAL;
- końcówka 18 - stan wysoki 6V na tym wyprowadzeniu oznacza identyfikację sygnałów SECAM;
- końcówka 19 - stan wysoki 6V oznacza identyfikację sygnałów NTSC.

Wyjścia 17, 18, 19 układu identyfikacji mogą pracować także jako wejścia dla napięć wymuszających pracę TDA4657 w określonym standardzie. Podanie napięcia +8V na wyprowadzenie 17 , 18 lub 19 wymusza odpowiednio pracę TDA4657 jako dekoder PAL, SECAM lub NTSC 4,43.

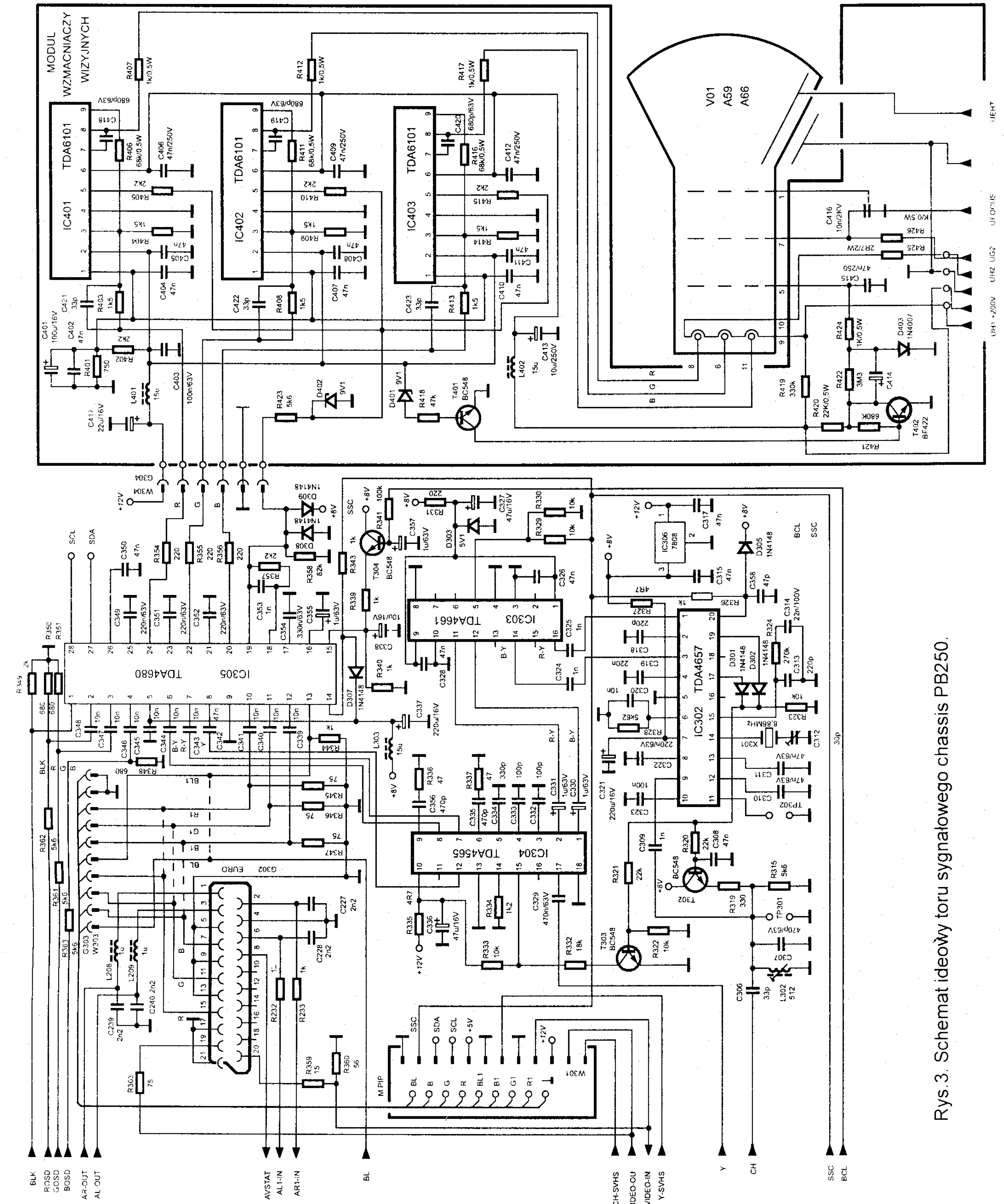
Napięcia wyjściowe z wyprowadzeń 17 i 19 są sumowane w układzie D301, D302, R323 i napięcie wyjściowe z tego układu jest wykorzystane do przełączenia tłumienia wejściowego obwodu chrominancji przy odbiorze PAL lub NTSC 4,43.

Dla prawidłowej pracy TDA4657 konieczne jest podanie na wyprowadzenie 20 układu impulsów SSC. Dioda D305 ogranicza amplitudę impulsów do poziomu +8V.

Podanie na wyprowadzenie 11 układu scalonego napięcia regulacyjnego „hue" (inna nazwa „tint") pozwala na regulację odcienia kolorów przy odbiorze NTSC4,43.

Układ TDA4657 zasilany jest napięciem +8V podawanym na wyprowadzenie 7.

Napięcie +8V wytwarzane jest w układzie ze scalonym stabilizatorem IC306 typu LM7808 z napięcia +12V.



Rys.3. Schemat ideowy toru sygnałowego chassis PB250.

Linia opóźniająca sygnały różnicowe TDA4661

Zdemodulowane sygnały różnicowe R-Y i B-Y z wyjść 1 i 3 TDA4657 są podawane na wejścia 16 i 14 linii opóźniającej TDA4661. Układ ten zawiera dwa identyczne tory sygnałów różnicowych, a także układ PLL synchronizujący pracę linii opóźniającej. Generator układu PLL pracuje na częstotliwości 6 MHz i jest synchronizowany impulsami SSC podawanymi na wyprowadzenie 5 TDA4661.

Po przejściu sygnałów różnicowych przez układy opóźniające na wyjściach 11 i 12 układu uzyskuje się kolejno-liniowe sygnały podawane dalej do układu CTI (TDA4565).

Układ TDA4661 zasilany jest napięciem +5V podawanym na wyprowadzenia 1 i 9. Napięcie zasilające TDA4661 wytwarzane jest w układzie stabilizatora z diodą Zenera D303 z napięcia +8V.

CTI - Układ poprawy zboczy sygnałów różnicowych TDA4565

Układ TDA4565 zawiera dwa tory sygnałów różnicowych, w których poprawa nachylenia zboczy sygnałów różnicowych uzyskiwana jest metodą kluczowania sygnałów. Sygnały różnicowe podawane są do wyprowadzeń 1 i 2 układu. Wejściowe sygnały różnicowe podawane są do układów kształtujących impulsy kluczujące. Układy te pracują z kondensatorami C332, C333, C334 przyłączonymi do wyprowadzeń 3, 4 i 5. Następnie sygnały różnicowe podawane są do układów przełączająco-pamiętających z zewnętrznymi elementami RC przyłączonymi do wyprowadzeń 6 i 9. Po układach poprawy sygnały różnicowe wyprowadzone są na wyjścia 7 i 8 układu scalonego.

Układ TDA4565 zawiera dodatkowo linię opóźniającą sygnał luminancji. Wejściowy sygnał luminancji Y podawany jest przez kondensator sprzęgający C329 do wyprowadzenia 17 układu. Opóźnienie linii jest regulowane napięciem podawanym na wyprowadzenie 15 TDA4565.

W przypadku odbioru sygnału koloru SECAM wyprowadzenie 15 układu jest przyłączone przez rezystor R333 do napięcia zasilania układu +12V. Wymusza to maksymalne opóźnienie linii opóźniającej.

W przypadku odbioru sygnałów w systemach PAL lub NTSC4,43 tranzystor T303 zostaje nasycony przez podanie na jego bazę dodatniego napięcia z układu identyfikacji koloru. Nasycony tranzystor T303 przyłącza do masy dzielnik napięcia R333, R332. Napięcie z tego dzielnika ustala na wyprowadzeniu 15 TDA4565 napięcie ok. 7,7V. Przy takim napięciu opóźnienie linii jest mniejsze niż w przypadku odbioru sygnałów SECAM.

Rezystor R334 przyłączony do wyprowadzenia 14 TDA4565 decyduje o charakterystyce częstotliwościowej toru luminancji.

Wyjściowy sygnał luminancji pojawia się na wyprowadzeniu 12 układu scalonego.

Układ TDA4565 zasilany jest napięciem +12V podawanym do wyprowadzenia 10.

4. Procesor wizyjny TDA4680

W chassis PB250 jako procesor wizyjny zastosowano układ scalony TDA4680 firmy PHILIPS oznaczony jako IC305. Realizuje on następujące funkcje:

- przetwarzanie wejściowych sygnałów różnicowych i sygnału luminancji na sygnały RGB;
- przełączanie sygnałów RGB pochodzących z różnych źródeł;
- regulacja nasycenia, kontrastu, jaskrawości i odcienia
- ograniczenie wartości średniej prądu kineskopu;
- ograniczenie wartości szczytowej prądu kineskopu;
- automatyczna regulacja dynamicznego balansu bieli poprzez szynę I^2C.

Sygnałami wejściowymi dla procesora są sygnały różnicowe R-Y, B-Y i sygnał luminancji podawane przez kondensatory sprzęgające na wyprowadzenia odpowiednio 7, 6 i 8. Sygnały te w TDA4680 są podawane do układu matrycy, gdzie przetwarzane są na sygnały RGB.

Sygnały z wyjść matrycy przechodzą do układu przełączników sygnałów RGB. Do tego układu podawane są także sygnały R1, G1, B1, BL z wejść odpowiednio 10, 11, 12, 13 TDA4680. Sygnały R1, G1, B1 pochodzą z gniazda G302-Eurozłącza lub z modułu PIP (w przypadku, gdy odbiornik jest wyposażony w moduł PIP). Sygnał BL pochodzi z procesora sterującego odbiornikiem lub z modułu PIP. Sygnałami wejściowymi dla układu przełączników są także sygnały ROSD, GOSD, BOSD, BLOSD z wejść 2, 3, 4, 1 TDA4680. Sygnały te pochodzą z modułu teletekstu lub są to sygnały OSD z procesora sterującego. Układ przełącznika sygnałów RGB przełącza odpowiednią grupę sygnałów do dalszych układów TDA4680. Sygnały BLOSD i BL1 są sygnałami sterującymi przełącznikiem.

Dalej w układzie TDA4680 sygnały RGB podawane są do układu regulacji kontrastu i nasycenia, a następnie do układu wstawiania impulsów pomiarowych i układu regulacji jaskrawości. Regulacje dokonywane są poprzez szynę I^2C. Na wyjściu 26 TDA4680 pojawia się napięcie regulacyjne odcienia „hue", które jest doprowadzone do wyprowadzenia 11 TDA4657 i może być wykorzystane do regulacji odcienia kolorów przy odbiorze sygnałów NTSC4,43. Impulsy pomiarowe wykorzystywane są do automatycznego utrzymywania punktu odcięcia kineskopu i automatycznej regulacji balansu dynamicznego.

Wyjściowe sygnały RGB z wyprowadzeń 24, 22, 20 przez rezystory szeregowe R354, R355, R356 sterują wzmacniacze wizyjne na module kineskopu.

Kondensatory przyłączone do wyprowadzeń 25, 23, 21 są kondensatorami pamiętającymi układu utrzymywania punktu odcięcia kineskopu. Do wyprowadzenia 19 podawany jest sygnał sprzężenia zwrotnego dla układu ustalania punktu odcięcia, a poprzez rezystor R357 sygnał ten podawany jest do wyprowadzenia 18 do układu automatycznej regulacji balansu bieli. Kondensator C354 przyłączony do wyprowadzenia 17 jest kondensatorem pamiętającym.

Do wyprowadzenia 15 TDA4680 (jest to wejście układu ograniczania prądu średniego kineskopu) doprowadzony jest sygnał niosący informację o średnim prądzie kineskopu. Sygnał ten jest podawany przez rezystor R339 z emitera wtórnika na tranzystorze T304. Do bazy T304 podawane jest napięcie BCL odwrotnie proporcjonalne do prądu kineskopu, wytwarzane w układzie odchylania poziomego odbiornika. Przy wzroście prądu kineskopu napięcie na wyprowadzeniu 15 maleje, a przy

obniżaniu się prądu kineskopu napięcie to rośnie. W zależności od tego napięcia w TDA4680 następuje ograniczenie napięcia regulacyjnego kontrastu tak, aby prąd kineskopu ustalił się na poziomie nie przekraczającym wartości średniej dopuszczalnej dla danego typu kineskopu.

Ogranicznik wartości szczytowej prądu kineskopu ma poziom ograniczania regulowany (ustawiany w trakcie regulacji serwisowych poprzez szynę I²C) i jego zadaniem jest utrzymanie poziomu bieli tak, aby nie przekroczyć ustawionej wartości prądu szczytowego kineskopu. Kondensatorem pamiętającym układu ograniczania wartości szczytowej jest kondensator przyłączony do wyprowadzenia 16 TDA4680.

Dla prawidłowej pracy TDA4680 konieczne jest doprowadzenie impulsów SSC do wyprowadzenia 14 oraz sygnałów SDA i SCL do wyprowadzeń 27 i 28.

Układ zasilany jest napięciem +8V.

5. Moduł wzmacniaczy wizyjnych

Wzmacniacze wizyjne realizują wzmocnienie sygnałów RGB z TDA4680 takie, aby zapewnić właściwe wysterowanie kineskopu. W module wzmacniaczy wizyjnych wytwarzany jest także sygnał sprzężenia zwrotnego dla układu TDA4680.

W module tym w każdym z torów RGB zastosowano układ scalony TDA6101Q firmy PHILIPS.

TDA6101 zawiera szerokopasmowy wzmacniacz z wejściem różnicowym. Na wejście odwracające wzmacniacza - wyprowadzenie 3 - podawany jest sygnał wizyjny poprzez dzielnik dopasowujący poziom sygnału. Rezystory R403, R404 tworzą dzielnik w torze R; R408 i R409 dzielnik w torze G; R413, R414 dzielnik w torze B.

Na wejście nieodwracające - wyprowadzenie 2 TDA6101 - podawane jest napięcie odniesienia ustalane w układzie dzielnika R401, R402.

Wyprowadzenie 5 układu jest wyjściem sygnału sprzężenia zwrotnego dla TDA4680, wyprowadzenie 8 układu jest wyjściem wzmocnionego sygnału do sterowania katody kineskopu.

Kondensator włączony pomiędzy wyprowadzenia 7 i 8 układu służy do kompensacji charakterystyki częstotliwościowej TDA6101. Wyprowadzenie 9 układu jest wyjściem dla sprzężenia zwrotnego. Rezystor sprzężenia zwrotnego włączony pomiędzy wyprowadzenia 3 i 9 - R406 w torze R, R411 w torze G, R416 w torze B ustala wzmocnienie wzmacniacza.

TDA6101 jest zasilany napięciami +200V i +12V podawanymi na wyprowadzenia odpowiednio 6 i 2.

Sygnały sprzężenia zwrotnego z wyprowadzenia 5 każdego ze wzmacniaczy sumowane są w układzie rezystorów R405, R410, R415. Dioda Zenera D402 ogranicza poziom sygnału sprzężenia zwrotnego. Sygnał ten przez rezystor szeregowy R423 podawany jest do układu TDA4680.

Moduł wzmacniaczy wizyjnych zawiera także układ wygaszania kineskopu w momencie wyłączania odbiornika - D401, R418, T401, R421, R420, T402, C414, R422, D403, R424. Zanik napięcia +12V powoduje, że tranzystor T401 przestaje przewodzić, a tranzystor T402 wchodzi w stan nasycenia. Przez złącze kolektor-emiter tego tranzystora zaczyna się rozładowywać kondensator C414 wytwarzając ujemny impuls podawany na siatkę pierwszą kineskopu i wygaszający tym samym kineskop w momencie wyłączenia odbiornika.

6. Moduł teletekstu

Schemat ideowy modułu teletekstu przedstawiono na rys. 4. W module teletekstu zastosowano układy scalone:

- SAA5231 firmy PHILIPS;
- SDA5248C2 firmy SIEMENS;
- pamięć DRAM 256 x 4 bity.

Szczegółowy opis rozwiązania modułu teletekstu bazującego na wymienionych układach scalonych znajdziecie Państwo w nr 1/97 Serwisu Elektroniki.

Sygnał Video przez kondensator sprzęgający C51 podawany jest na wejście 27 IC51 SAA5231.

W układzie SAA5231 następuje wydzielenie impulsów synchronizacji SYNC z sygnału Video. Sygnał SYNC z wyprowadzenia 1 IC51 podawany jest do toru synchronizacji odbiornika.

W przypadku, gdy w trakcie napraw serwisowych zachodzi potrzeba uruchomienia odbiornika bez modułu teletekstu, należy zewrzeć wyprowadzenia Video i SYNC złącza modułu.

Sygnały RGB i BL z układu scalonego SDA5248C2 niosące informację o obrazie teletekstu poprzez diody D51, D52, D53, D54 podawane są w odbiorniku do szyn ROSD, GOSD, BOSD, BLOSD i dalej do układu procesora wizyjnego TDA4680.

Układ SAA5231 zasilany jest napięciem +12V.

Układ SDA5248C2 i pamięć DRAM zasilane są napięciem +5V.

7. Moduł podglądu - PIP

Moduł PIP umożliwia podgląd sygnałów pochodzących z toru p.cz. odbiornika lub z gniazd Eurozłącze lub SVHS. Procesor sterujący odbiornika umożliwia:

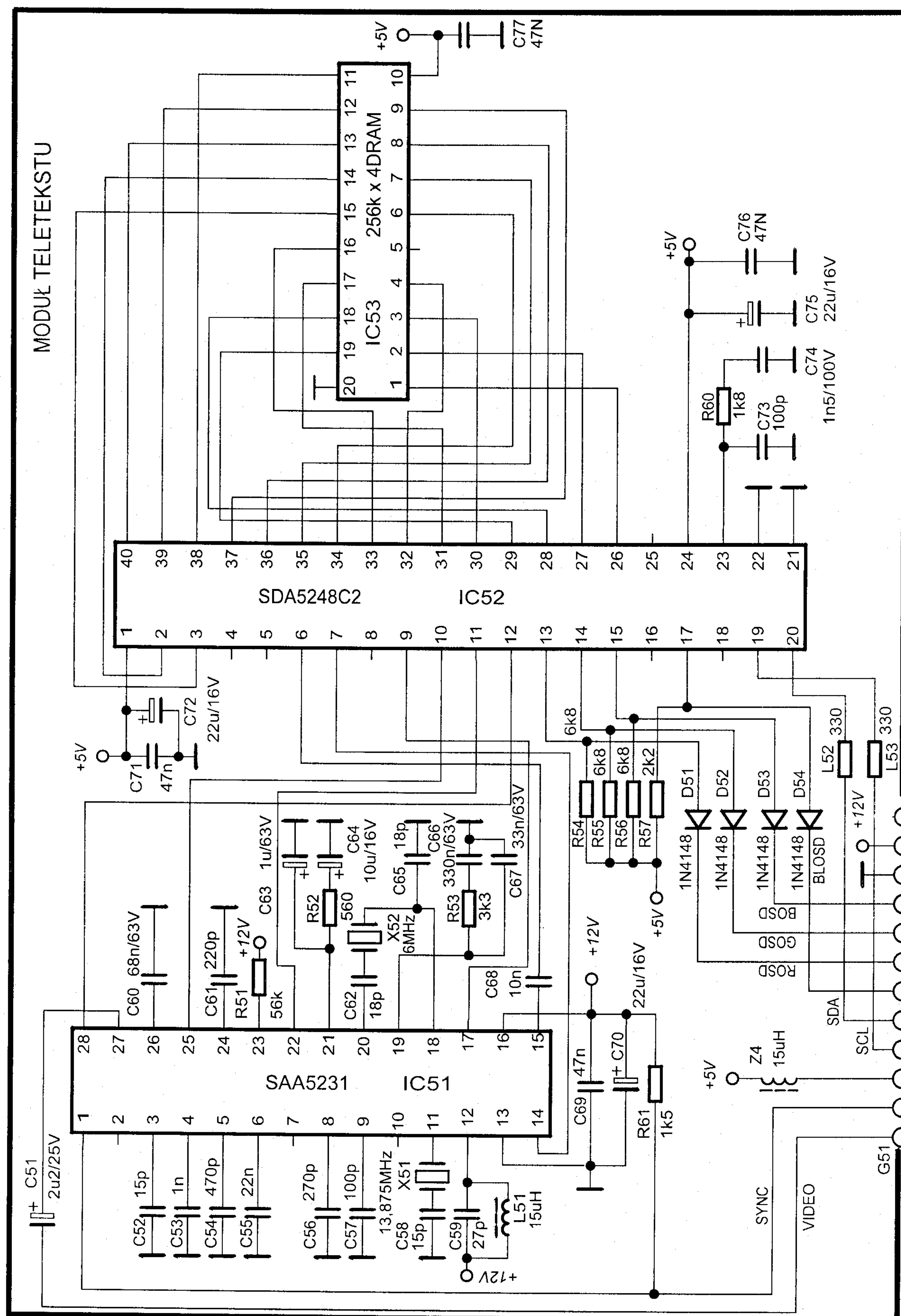
- zmianę położenia okna PIP w jednym z czterech narożników ekranu;
- powiększenie lub pomniejszenie okna;
- zamrożenie obrazu w oknie;
- włączenie lub wyłączenie kolorowej ramki wokół okna;
- zamianę obrazu głównego z obrazem z okna;
- wybór źródła obrazu oglądanego w oknie.

W module PIP zastosowano następujące układy scalone:

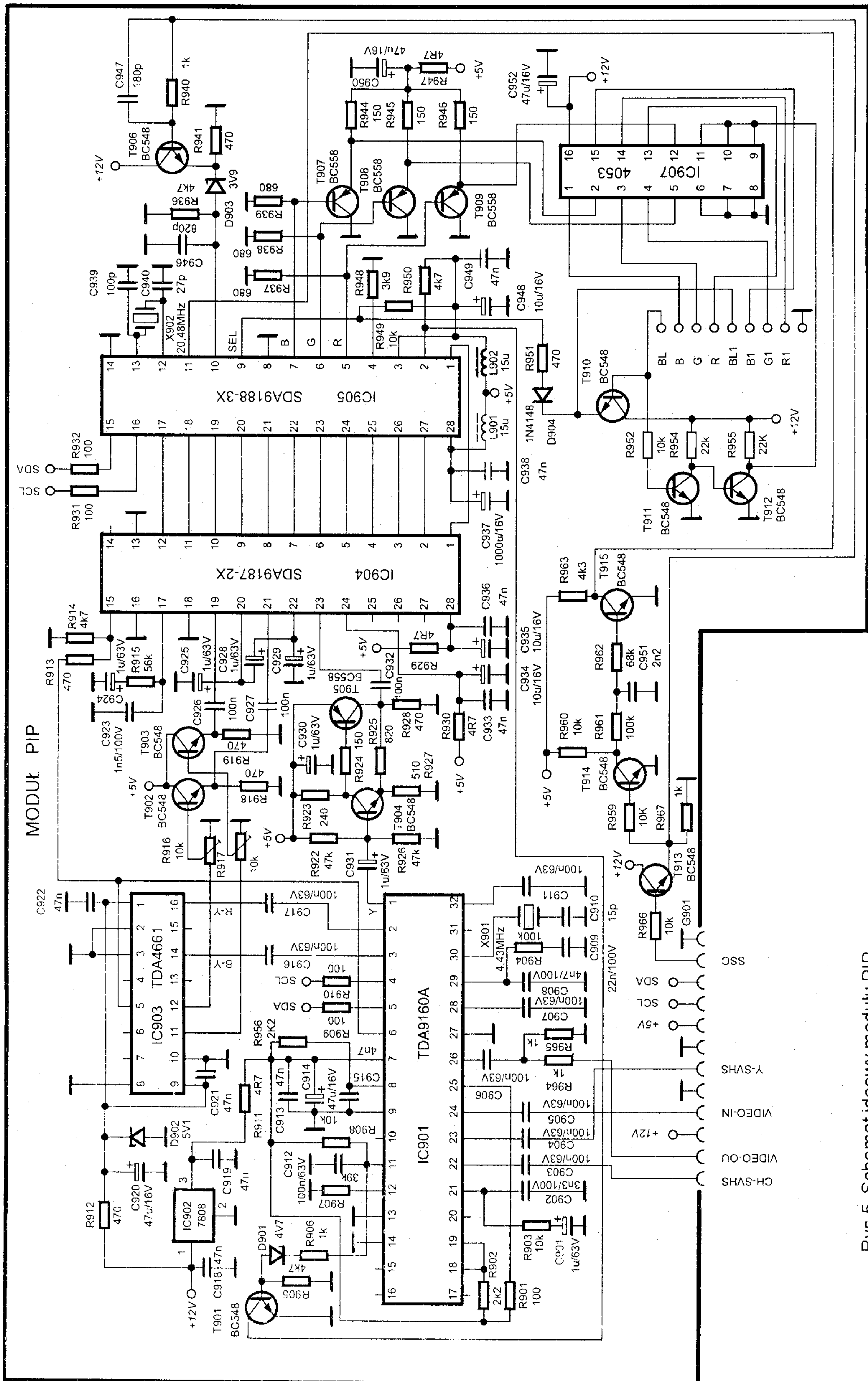
- TDA9160A PHILIPS - tor dekodera koloru PAL, SECAM, tor synchronizacji, przełącznik sygnałów;
- SDA9187-2X SIEMENS - przetwornik analogowo-cyfrowy;
- SDA9188-3X SIEMENS - przetwornik cyfrowo analogowy, pamięć i układ synchronizacji obrazu PIP;
- HEF 4053 - przełącznik sygnałów RGB.

Schemat ideowy modułu PIP przedstawia rys. 5

Do układu IC901 - TDA9160A doprowadzone są sygnały VIDEO-OUT z toru p.cz. odbiornika, sygnał VIDEO-IN z gniazda Eurozłącze oraz sygnały chrominancji CH-SVHS i luminancji Y-SVHS z gniazda SVHS. W układzie TDA9160A następuje wybór sygnału do przetwarzania w oknie PIP. Wybór ten dokonywany jest zgodnie z rozkazem z mikrokontrolera odbiornika przekazywanym poprzez szynę I²C.



Rys.4. Schemat ideowy modułu teletekstu.



Rys.5. Schemat ideowy modułu PIP.

Wybrany sygnał zostaje przetworzony na wyjściowy sygnał luminancji pojawiający się na wyprowadzeniu 1 układu oraz na sygnały różnicowe B-Y na wyprowadzeniu 3 i R-Y na wyprowadzeniu 2.

W układzie TDA9160A znajduje się tor synchronizacji, z którego uzyskuje się impulsy SSC na wyprowadzeniu 6 oraz impulsy V na wyprowadzeniu 11 układu. Impulsy te synchroniczne z wybranym w TDA9160A sygnałem wizyjnym są wykorzystane do synchronizacji dalszych układów modułu PIP.

Układ TDA9160A zasilany jest napięciem +8V uzyskiwanym w układzie stabilizatora z układem scalonym IC902 typu LM7808. Napięciem wejściowym dla tego stabilizatora jest napięcie +12V.

Sygnały różnicowe podawane są do linii opóźniającej IC903 TDA4661, a po korekcji opóźnienia do wtórników T902 i T903. Rezystory nastawne R916, R917 pozwalają na regulację amplitudy sygnałów różnicowych a tym samym nasycenia w obrazie PIP.

Układ scalony TDA4661 zasilany jest napięciem +5V ze stabilizatora z diodą Zenera D902. Napięciem wejściowym dla tego stabilizatora jest napięcie +12V.

Sygnał luminancji z wyprowadzenia 1 IC901 podawany jest do wzmacniacza na tranzystorach T904, T905. Wzmocnienie wzmacniacza wynosi ok. 2 i jest tak dobrane, aby uzyskać poziom sygnału luminancji na wyjściu wzmacniacza 1V.

Sygnały różnicowe i sygnał luminancji podawane są do wyprowadzeń 19, 21, 23 układu IC904 SDA9187-2X. Zadaniem tego układu jest przetworzenie analogowych sygnałów R-Y, B-Y i Y na sygnały cyfrowe. Sygnałem synchronizującym przetwarzanie są impulsy SSC podawane do wyprowadzenia 15 układu. Do wyprowadzenia 17 IC904 przyłączone są elementy przesuwnika fazy pętli PLL układu. Kondensatory na wyprowadzeniach 20 i 22 C925, C928, C929 filtrują napięcia odniesienia dla przetworników. Na wyprowadzeniu 12 IC904 pojawia się sygnał sterujący próbkowaniem 13,5 MHz, a na wyjściu 1 sygnał Blanking czyli sygnał wygaszania. Sygnały cyfrowe pojawiają się na wyprowadzeniach 2 - 11 układu. Sygnały te podawane są do układu IC905 - SDA9188-3X. Układ SDA9187-2X zasilany jest napięciem +5V podawanym na wypr. 28.

Zadaniem układu SDA9188-3X jest wytworzenie sygnałów RGB obrazu PIP, synchronicznych z obrazem głównym odbiornika. SDA9188-3X zawiera układy redukcji wymiarów obrazu oraz przetworniki cyfrowo-analogowe, na wyjściu których uzyskuje się sygnały RGB obrazu PIP. Dla zapewnienia prawidłowej synchronizacji obrazu PIP z obrazem odbiornika konieczne jest doprowadzenie do IC905 impulsów synchronicznych z obrazem głównym (impulsy V na wyprowadzeniu 11 IC905 i impulsy H na wyprowadzeniu 10) oraz impulsów synchronicznych z obrazem PIP (impulsy V na wyprowadzeniu 2 układu i impulsy H na wyprowadzeniu 1).

Impulsy V synchroniczne z obrazem głównym są wytwarzane w układzie T914, T915, R961, C951, R962, R960, R963 z impulsów SSC pochodzących z toru synchronizacji odbiornika.

Impulsy H synchroniczne z obrazem głównym wytwarzane są w układzie R940, C947, T906, R941, D903, R936 z impulsów SSC pochodzących z toru synchronizacji odbiornika.

Impulsy V synchroniczne z obrazem PIP pochodzą z układu IC901 - wyprowadzenie 11 i są kształtowane w układzie C912, R908, R906, D901, T901, R905, R950.

Impulsy H synchroniczne z obrazem PIP to impulsy Blanking podawane na wyprowadzenie 1 IC905 i wytwarzane w układzie IC904.

Układ SDA9188-3X zawiera układ PLL pracujący z zewnętrznym rezonatorem kwarcowym X902 20,48MHz przyłączonym do wyprowadzeń 12 i 13 układu. Pracą SDA9188-3X steruje mikrokontroler odbiornika poprzez szynę I²C. Rozkazy z szyny ustalają wymiar, zatrzymanie, kolor ramki obrazka, włączanie i wyłączanie obrazka, położenie obrazka na ekranie.

Układ SDA9188-3X zasilany jest napięciem +5V podawanym na wyprowadzenia 28 i 3.

Na wyjściach 5, 6 i 7 IC905 pojawiają się sygnały RGB odpowiadające obrazowi PIP, a na wyprowadzeniu 9 impulsy SELECT występujące w czasie trwania obrazu PIP. Impulsy SELECT sumowane są z sygnałem BL z odbiornika na emiterze wtórnika T910 i przebieg z emitera T910 - BL1 steruje przełącznikiem w procesorze wizyjnym odbiornika TDA4680.
Jeżeli sygnał BL jest równy 0V, to do szyny BL1 przez rezystor R951 i diodę D904 podawany jest sygnał SELECT, a na wyjściach klucza analogowego IC907 przełączającego pomiędzy sygnałami RGB z gniazda Eurozłącze a sygnałami RGB PIP pojawiają się sygnały RGB PIP podawane dalej do szyn R1, G1, B1 odbiornika.

Jeżeli sygnał BL przyjmuje stan wysoki - ok. 4V (odpowiada to przełączeniu odbiornika na pracę z sygnałami RGB z gniazda Eurozłącze), to do szyny BL1 podawany jest sygnał BL po wtórniku T910, dioda D904 nie przewodzi, a klucze układu IC907 przełączone są na sygnały RGB z gniazda Eurozłącze i te właśnie sygnały są podawane do szyn R1, G1, B1 odbiornika.

Układ z tranzystorami T911 i T912 dokonuje konwersji poziomu sygnału BL z 4V na 12V. Sygnał z kolektora T912 steruje przełączaniem kluczy w układzie IC907.

Układ IC907 zasilany jest napięciem +12V.

Montaż modułu PIP w odbiornikach TRILUX TAP2111, TAP2511, TAP2811

Odbiorniki TRILUX z literą P w oznaczeniu są fabrycznie wyposażone w moduł PIP. Wszystkie pozostałe wersje odbiorników z chassis PB250 można wyposażyć w moduł podglądu . W tym celu należy:

- wlutować do płyty bazowej podstawkę W301 (P12-A2 TOMIC);
- wlutować do płyty bazowej podstawkę W303 (P10 TOMIC);
- usunąć zwory Z68, Z30, Z27, Z24 i Z21;
- zamontować moduł PIP w podstawce W301, a wiązkę modułu w podstawce W303;
- w trybie serwisowym odbiornika ustawić położenie modułu PIP.

Uwaga: *W odbiornikach z mikrokontrolerem IC 501 typu SDA 20563-A508 moduł PIP powinien mieć zamontowany w miejscu IC901 układ scalony TDA9160.*
W odbiornikach z mikrokontrolerem IC 501 typu SDA20563-A516 lub SDA20563-A518 moduł PIP może być stosowany zarówno z układem TDA9160 jak i TDA9160A.



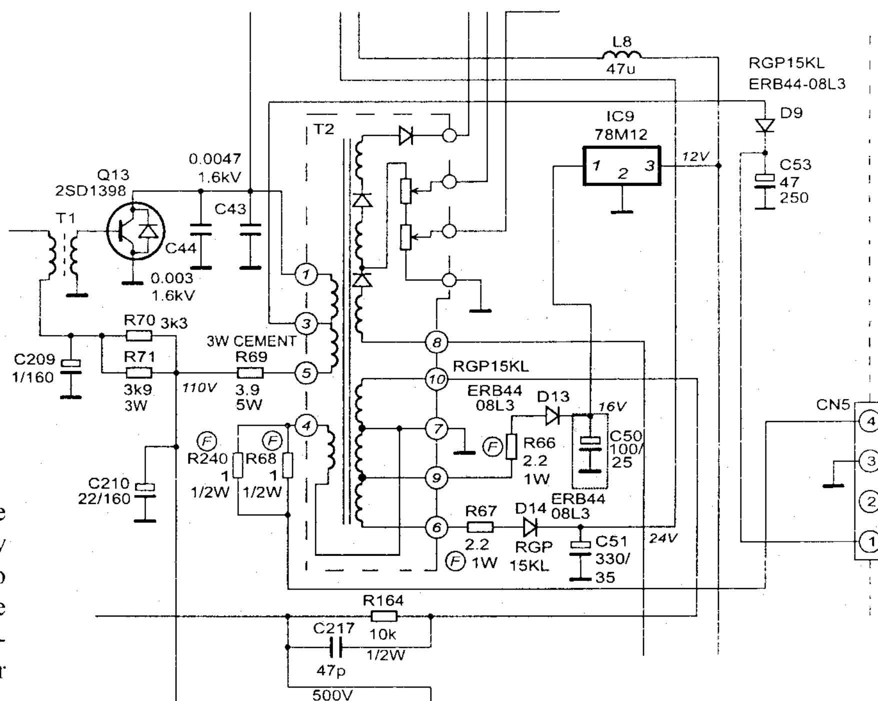
Porady serwisowe

Jan Maszkowski, Zbigniew Malinowski, Zbigniew Krauze

OTVC FUNAI TV2000 MK II

Odbiornik FUNAI TV 2000 MK II - około 1/3 ekranu z lewej strony jest jaśniejsza. Zakłócone jest działanie zainstalowanej w tym odbiorniku telegazety. Przyczyną jest zmniejszona pojemność kondensatora C50 (100μF/25V) w obwodzie zasilania 12V - rys.1.

J.M.



Rys.1. Fragment schematu ideoweo odbiornika FUNAI TV2000 MK II.

OTVC TENSAI MODEL TCT-524 BK

Obraz na ekranie odbiornika ma zbyt małe wymiary w poziomie (z prawej i lewej strony ekranu czarne pionowe pasy szerokości około 7cm). Nasycenie koloru jest bardzo małe -obraz daje wrażenie czarno-białego. Uszkodzonym elementem okazał się kondensator C440 (10μF/160V). Należy również sprawdzić elementy: D408, C428, C427, D407 i R430. W przypadku braku schematu tego odbiornika z powodzeniem można skorzystać ze schematu odbiornika TEC 517GE (zbiór schematów SERVICE nr 3 Wydawnictwa NEXT) lub HCM Royal 5104 (zbiór schematów SERVICE nr 1 Wydawnictwa NEXT). Uwaga: wymienione wyżej schematy zawierają błąd drukarski, jeżeli chodzi o przedstawienie wewnętrznych połączeń uzwojeń trafopowielacza. Wyprowadzenie 9 tego trafopowielacza łączy się uzwojeniami z wyprowadzeniami 1, 2 i 4, a nie z wyprowadzeniami 3, 5 i 7.

Z.K.

Tuner satelitarny MANHATTAN SR850

Tuner nie pracuje, przepalony bezpiecznik sieciowy. Prawdopodobną przyczyną uszkodzenia przetwornicy były „niekontrolowane" wahania napięcia sieci energetycznej. Uszkodzeniu uległy następujące elementy: R1 (4,7Ω), R8 (1,0Ω), Q1 (BUT11A), U1 (TEA2018A). Proponowałbym również sprawdzenie oraz ewentualną wymianę kondensatorów elektrolitycznych po stronie „pierwotnej" przetwornicy. Opisana porada dotyczy również tunerów satelitarnych PACE PSR800 i PACE PSR900.

Z.K.

OTVC UNIVERSUM FT 1003

Odbiornik nie przełącza się do stanu STANDBY. W przypadku próby wyłączenia odbiornika nadajnikiem zdalnego sterowania obserwujemy jedynie zaświecenie się diody STANDBY i zmniejszenie głośności dźwięku. Obraz pozostaje jednak w dalszym ciągu na ekranie. Uszkodzonym elementem okazał się rezystor R105 (150kΩ) w przetwornicy napięcia. Po sprawdzeniu miernikiem okazało się, że rezystor ten ma wewnętrzną przerwę.

Z.K.

OTV BIAZET TMP - 201

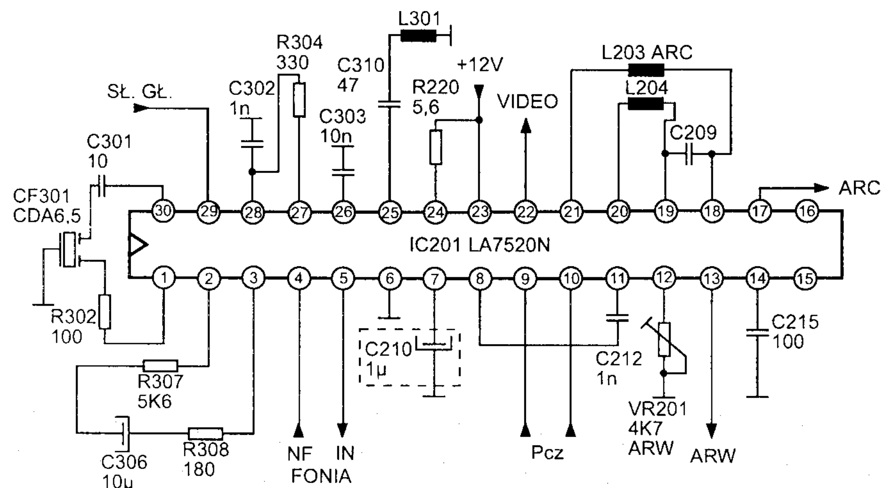
Charakterystyczną usterką występującą w tego typu odbiornikach jest uszkodzenie tranzystora T101 (BDP282). Usterka może objawiać się w różny sposób. Najczęściej odbiornik pozostaje „martwy". Czasami występuje okresowe wyłączanie się (i ewentualnie włączanie) odbiornika. Tranzystor BDP282 możemy zastąpić tranzystorem o lepszych parametrach np. BD912.

Z.K.

OTVC ELEKTRON TC-423 (dekoder koloru MC-41)

Dość charakterystyczną dla dekodera koloru MC-41 (dekoder ten jest bardzo często spotykany w różnych modelach odbiorników z byłego Związku Radzieckiego) jest usterka objawiająca się tym , że ekran telewizora jest szary lub na szarym tle widoczne są jedynie kontury przedmiotów i osób. Przyczyną tego jest uszkodzenie linii opóźniającej DT1 (0,47) znajdującej się na submodule SMC-41 dekodera koloru. Po wymianie linii obraz jest prawidłowy.

Z.K.



Rys.2. Schemat ideowy fragmentu p.cz. odbiornika OTAKE5130-2RC.

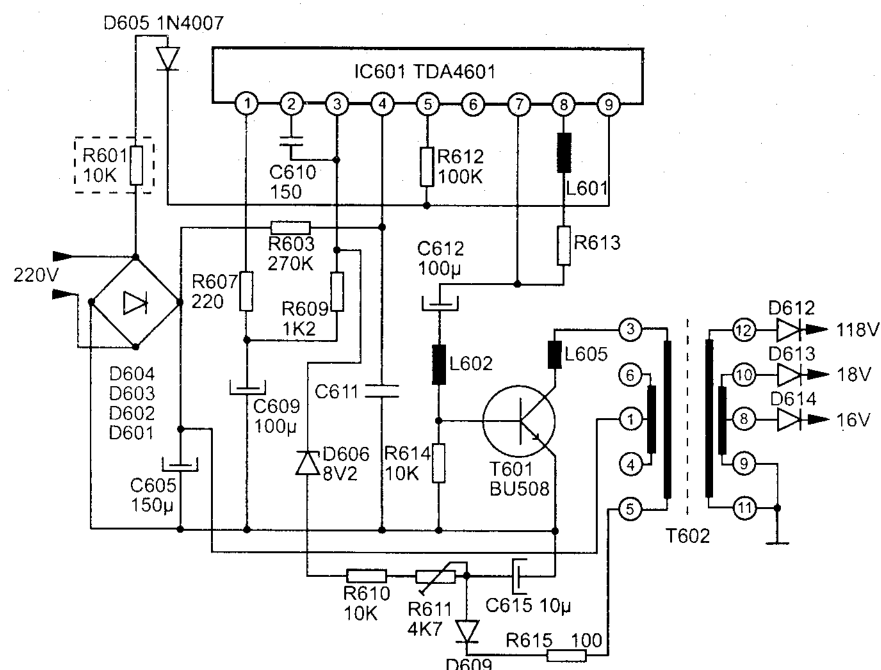
OTVC OTAKE COLOR 5130-2RC

Telewizor pracuje, jednak treść obrazu jest wyginana, chwilami drga, odbiornik zrywa też synchronizacje pionową.

W przypadku zaistnienia tego typu objawów o wadliwe działanie możemy podejrzewać układ pośredniej częstotliwości. W opisywanym przypadku elementem uszkodzonym okazał się kondensator elektrolityczny C210 1μ/50V dołączony do nóżki 7 układu scalonego IC201 LA7520N (kondensator pracujący w układzie ARW). Po wymianie C210 zjawisko ustąpiło.

Fragment schematu układu pośredniej częstotliwości odbiornika OTAKE przedstawia rysunek 2.

Z.M.



Rys.3. Fragment schematu ideowego zasilacza OTVC Trilux.

OTVC TRILUX MODEL TAP2101T

Odbiornik nie włącza się do stanu czuwania. Pomiary układu zasilacza, wykonane omomierzem, wykazały przerwę rezystora R601 10k (jest to dość często pojawiająca się usterka w tym typie odbiornika TRILUX). Po wymianie rezystora R601 odbiornik zachowuje się prawidłowo.

Fragment układu zasilacza odbiornika TRILUX przedstawia rysunek 3.

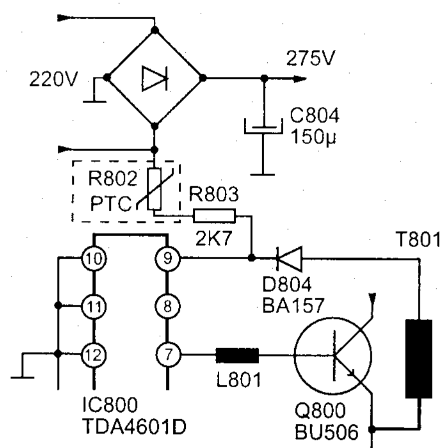
Z.M.

OTVC TEC MODEL 5181

Sztucznie obciążona przetwornica nie startuje. Po włączeniu, ładuje się kondensator C804, napięcie osiąga wartość 275V (prawidłowa) - jednak układ zasilacza nie wzbudza się. Po wyłączeniu odbiornika i rozładowaniu kondensatora C804 pomiary wykonane omomierzem wykazały przerwę pozystora R802 PTC J29P190.

Fragment schematu przetwornicy odbiornika TEC przedstawia rysunek 4.

Z.M.



Rys.4. Fragment przetwornicy OTVC TEC5181.

OTVC PHILIPS LEONARDO 1512

Odbiornik pracuje, jednak po wyłączeniu przełącznikiem sieciowym rozprogramowuje się.

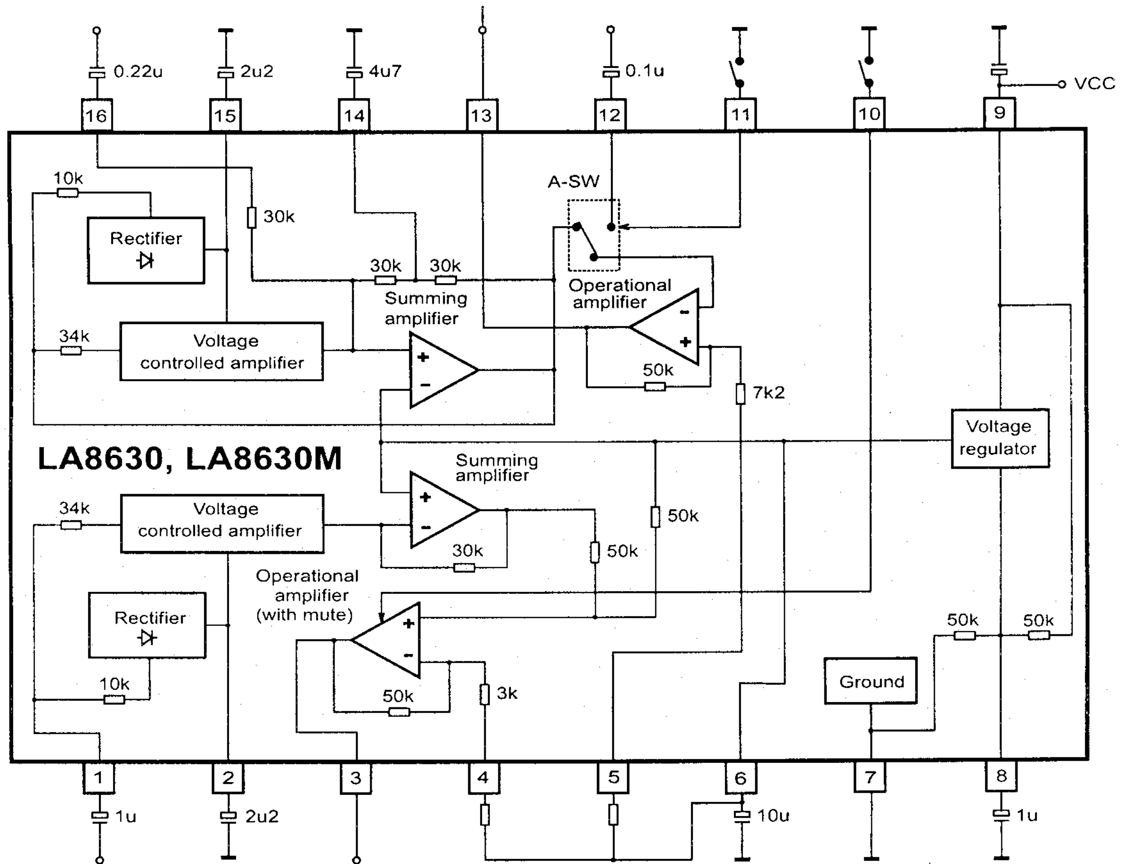
W modelu LEONARDO 1512 zastosowano procesor sterujący TMP47C432AP-8188. Układ ten wyposażony jest w wewnętrzną pamięć typu RAM w której przechowywane są informacje o nastawach. Do podtrzymania zawartości pamięci stosuje się akumulator niklowo-kadmowy o napięciu 2,4V.

W opisywanym przypadku uszkodzony był akumulator 1901 2,4V (pomiar akumulatora wykazał zwarcie).

Z.M.

▣

Układy scalone SANYO w telefonach



LA8632, LA8632M, LA8632V

TX output
2200p
22k
680p
22k
27k
1800p
TX input
Vcc
0.1u
1u
3k3
4u7
2u2
0.1u
10u
24
23
22
21
20
19
18
17
16
15
14
13
Summing amplifier
Vref
Preamplifier
Vref
Voltage controlled amplifier
Mute circuit
Instantaneous deviation control
Vref
Voltage controlled amplifier
Vref
Wave shaper
Output driver
Voltage regulator
1
2
3
4
5
6
7
8
9
10
11
12
FM detector output
22k
22k
22k
2200p
470p
6800p
1u
2u2
1u
100k
CPU
0.47u

Układy scalone SANYO w telefonach

LC7152, LC7152M

TEST, PIB, XIN, XOUT, PIA, VDD, VSS, CE, CL, DI, OUTB, NC, LDB, PDB2, PDB1, AIB, A0B, LDA, PDA2, PDA1, AIA, A0A, NC, OUTA

PLLB 16-bit programmable divider
1/2 frequency divider
14-bit programmable reference divider
PLLA 16-bit programmable divider
PLLB phase detector, charge pump and unlock detector
PLLA phase detector, charge pump and unlock detector
Latch1
Latch2
C²B interface
Data shift register


LM7006 - typowa aplikacja

TXVdd, RXVdd, CPU
12.8 MHz temperature-compensated crystal oscillator
LM7006 LM7006H
DI 20, CL 19, CE 18, RVDD 17, PIR 16, VSS 15, PIT 14, TVDD 13, AOT 12, AIT 11
VBB 1, XIN 2, AOR 3, AIR 4, PDR1 5, PDR2 6, LDR 7, LDT 8, PDT1 9, PDT2 10
Receiver amplifier
1st mixer
1st IF (-21.7 MHz) amplifier
2nd IF (455 kHz) mixer and detector
AF OUT
Antena duplex
Receiver VCO
22.155MHz
Transmitter amplifier
Transmitter VCO
Modulator
MOD IN

Lista zamienników trafopowielaczy firmy ELDOR

ELDOR	DIEMEN	KONIG
1011.2230	HR-2282 T3	
1021.2250	HR-2280 TS	
1031.3230	HR-2294 T36S	
1031.3290	HR-2294 T27S	
1031.3800	HR-2274 T37S	
1072.0021	HR-2287 TS	
1082.0261	HR-2287 T14	
1105.0017	HR-7059	FAT3965
1105.0020	HR-7055	
1105.0027	HR-7055	
1105.0055	HR-7072	
1105.0065	HR-6018	
1105.0107	HR-7053	
1105.0117	HR-7054	
1105.0127	HR-7060	
1105.0135	HR-7058	
1105.0137	HR-7005	
1105.0148	HR-7076	
1105.0157	HR-7007	FAT3694
1105.0187	HR-7016	
1105.0191	HR-7009	
1105.0197	HR-7066	
1105.0200	HR-7015	
1105.0207	HR-7015	
1105.0237	HR-7079	
1105.0247	HR-7052	
1105.0270	HR-7019	
1105.0277	HR-7070	FAT3775
1105.0280	HR-7014	
1105.0287	HR-7069	
1105.0297	HR-7061	
1105.0300	HR-7020	FAT3756
1105.0307	HR-7072	FAT3756
1105.0327	HR-7067	FAT3890
1105.0340	HR-7018	
1105.0347	HR-7018	FAT3786
1105.0367	HR-7074	
1105.0377	HR-7037	FAT3995
1105.0387	HR-7080	
1105.0407	HR-7078	
1105.0427	HR-7063	FAT3781
1105.0437	HR-7028	FAT3888
1105.0447	HR-7027	FAT3751
1105.0457	HR-7062	FAT3791
1105.0465	HR-7058	FAT30046
1105.0475	HR-7065	FAT3783
1105.0487	HR-7063	FAT3781
1105.0497	HR-7078	
1105.0507	HR-7079	
1105.0517	HR-7085	
1105.0527	HR-7068	FAT3721
1105.0547	HR-7074	
1105.0557	HR-7063	FAT3781
1105.0567	HR-7071	FAT3788
1105.0577	HR-7031	FAT30001
1105.0587	HR-7073	
1105.0597	HR-7080	
1105.0607	HR-7130	FAT3793
1105.0617	HR-7081	
1105.0628	HR-7025	FAT3842

ELDOR	DIEMEN	KONIG
1105.0637	HR-7114	FAT3792
1105.0647	HR-7113	FAT3794
1105.0657	HR-7086	
1105.0667	HR-7087	
1105.0677	HR-7088	
1105.0688	HR-7089	
1105.0697	HR-7090	
1105.0705	HR-7116	
1105.0718	HR-7091	
1105.0727	HR-7092	
1105.0737	HR-7093	
1105.0748	HR-7077	
1105.0755	HR-7115	
1105.0775	HR-7031	
1105.0798	HR-7210	
1105.0808	HR-7185	
1105.0817	HR-6053	
1105.0847	HR-7201	
1105.0878	HR-7107	FAT3981
1105.0918	HR-7237	FAT33101
1105.0928	HR-7077	
1105.0938	HR-7211	
1105.1027	HR-7141	FAT30037
1105.1035	HR-7144	FAT30046
1105.1068	HR-7220	
1105.1085	HR-7028	
1105.1168	HR-7105	
1105.1187	HR-7169	
1105.1257	HR-7167.12	
1105.1267	HR-7146	
1105.1307	HR-7164	
1105.1317	HR-7166	
1132.0017	HR-6068	
1132.0047	HR-6121	FAT30019
1132.0057	HR-6122	
1132.0167	HR-6177	FAT30103
1132.0197	HR-6277	
1142.0015	HR-7530	FAT30021
1142.0025	HR-7561.00	
1142.0035	HR-7541	FAT30111
1142.0045	HR-7532	FAT30027
1142.0055	HR-7550	FAT30112
1142.0065	HR-7520	FAT30113
1142.0075	HR-7503	FAT3830
1142.0105	HR-7537	
1142.0145	HR-7549	FAT30114
1142.0148	HR-7276	
1142.0175 (OREGA - 30003)	HR-7529	FAT30115
1142.0176 (OREGA - 32331)	HR-7110	
1142.0185	HR-7527	FAT30057
1142.0205	HR-7566	
1142.0255	HR-7587	
1142.0265	HR-7571	
1142.0295	HR-7567	
1142.0305	HR-7521	FAT30020
1142.0345	HR-7568	
1142.0415	HR-7172	

ELDOR	DIEMEN	KONIG
1142.0445 (OREGA - 30010)	HR-7531	FAT30117
1142.0455	HR-7546	
1142.0465	HR-7563	
1142.0495	HR-7534	
1142.0565	HR-7543	
1142.0575	HR-7590	
1142.0635	HR-7589	
1142.0705	HR-7127	FAT3505
1142.0725	HR-7586	FAT30227
1142.0775	HR-7560	
1142.0785	HR-7556	
1142.0905	HR-7570	
1142.0935	HR-7575	
1142.0965	HR-7593	
1142.0975	HR-7588	
1142.0995	HR-7585	
1142.1115	HR-7584	
1142.1235	HR-7583	
1142.5001	HR-7488	FAT30186
1142.5010	HR-7489	
1142.5029	HR-7639	
1142.5035	HR-7634	
1172.0018	HR-7190	FAT33464
1172.0118	HR-7215	FAT33466
1172.0188	HR-7221	
1172.0247	HR-7140	FAT3503
1182.0017	HR-6242.10	
1182.0027	HR-6225	
1182.0028	HR-6359	
1182.0037	HR-6257	
1182.0047	HR-6291	
1182.0057	HR-6201	FAT30022
1182.0067	HR-6203	
1182.0077	HR-6358	
1182.0087	HR-6230	FAT3995
1182.0100	HR-6228	
1182.0107	HR-6228	FAT30019
1182.0117	HR-6365	FAT30121
1182.0137	HR-6088	FAT3782
1182.0177	HR-6203	FAT3481
1182.0187	HR-6450	
1182.0197	HR-6453	
1182.0207	HR-6289	
1182.0227	HR-6176	FAT30030
1182.0247	HR-6226	
1182.0287	HR-6360	
1182.0317	HR-6124	
1182.0337	HR-7528	
1182.0367	HR-6219	
1182.0448	HR-6227	
1182.0457	HR-6204	
1182.0467	HR-6068.11	
1182.0487	HR-6292	FAT30119
1182.0517	HR-6282	
1182.0545	HR-7565	
1182.0580	HR-6219	
1182.0587	HR-6219	
1182.0607	HR-6248	FAT30023
1182.0617	HR-6204	
1182.0647	HR-6209	
1182.0727	HR-6219	
1182.0757	HR-6468	
1182.0777	HR-6220	

ELDOR	DIEMEN	KONIG
1182.0815	HR-7592	
1182.0827	HR-6371	
1182.0857	HR-6369	
1182.0867	HR-6146	FAT30132
1182.0937	HR-6390	
1182.1135	HR-7578	
1182.1267	HR-6281	
1182.5010 (OREGA - 37343)	HR-6027	
1182.5011 (OREGA - 37334)	HR-6004	FAT3893
1182.5012 (OREGA - 37310)	HR-6021	FAT3661
1182.5013 (OREGA - 37339)	HR-6036	
1182.5014 (OREGA - 37384)	HR-6195	
1182.5015 (OREGA - 37373/373)	HR-6035	
1182.5016 (OREGA - 37305)	HR-6024	FAT3664
1182.5018	HR-6134	FAT3595
1182.6001	HR-6272	FAT30025
1182.6004	HR-6273	FAT30024
1182.6005	HR-6260	FAT3504
1182.6006	HR-6386	FAT30120
1182.6007	HR-6067	FAT3816
1182.6008	HR-6372	FAT30094
1182.6018	HR-6120	FAT30026
1182.6031	HR-6057	FAT3806
1182.6032	HR-6005	FAT3733
1182.6033	HR-6160	FAT3790
1182.6034	HR-6089	FAT3804
1182.6035	HR-6003	FAT3732
1182.6038	HR-6072	FAT30162
1182.6039	HR-6121.11	
1192.0027 (OREGA - 32339)	HR-7128	FAT3729
1192.0050	HR-7140	
1192.0057	HR-7140	FAT3503
1192.0097	HR-7169	
1192.0177	HR-7176	FAT30122
1192.0208	HR-7178	FAT30043
1192.0227	HR-7181	
1192.0247	HR-7251	
1192.0447	HR-7131	
1192.0497		FAT30191
1192.0507	HR-7279	FAT30192
1192.0527		FAT30193
1192.0607	HR-7250	
1192.0658 (OREGA - 32330)	HR-7097	
1192.0659 (OREGA - 32315)	HR-7099	
1192.0688 (OREGA - 32309)	HR-7006	
1192.0767	HR-7190	
1192.1017	HR-6238/6286	
1192.1017	HR-6368/6370	
1192.1137	HR-6249	
1192.6001	HR-7253	
1242.0018	HR-7194	FAT33192
1242.0088	HR-7194	FAT33192
1242.0168	HR-7219	FAT33093
1242.5001	HR-7191	



Układy scalone w obwodach PLL głowic TV/VCR
Układy syntezerów częstotliwości PLL firmy Philips (cz.2)

Bronisław Lewandowski

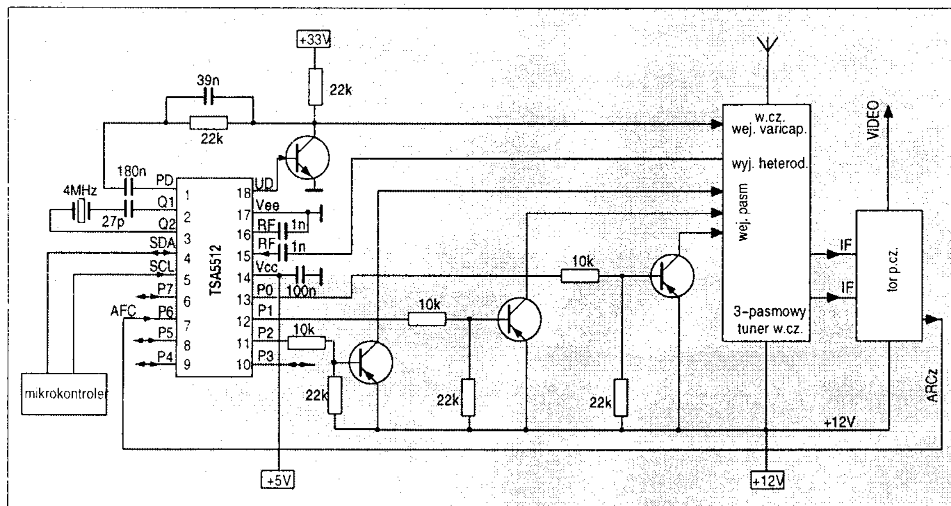
B. Układ syntezera częstotliwości PLL - TSA5512

Schemat blokowy układu TSA5512 pokazano na rys. 3. Jak widać jest on identycznym z odpowiednim schematem układu TSA5511. W istocie, układ syntezera częstotliwości PLL TSA5512 różni się tylko w kilku szczegółach od wcześniej opisywanego układu TSA5511. Szczegóły te dotyczą jedynie sposobu konfiguracji portów. Układ TSA5512 posiada 8 portów typu *open collector*, poprzednio opisywany TSA5511 tylko cztery (cztery pozostałe posiadają ograniczoną wydajność prądową). Pięć z ośmiu portów układu TSA5512, a mianowicie: P3, P4, P5, P6 oraz P7, są dwukierunkowe - mogą pracować jako wej./wyj, trzy pozostałe: P0, P1 oraz P2 mogą pracować tylko jako wyjścia. Odmienny sposób konfiguracji portów układu TSA5512 skutkuje oczywiście również nieco odmiennym jego schematem aplikacyjnym (patrz: rys. 5).

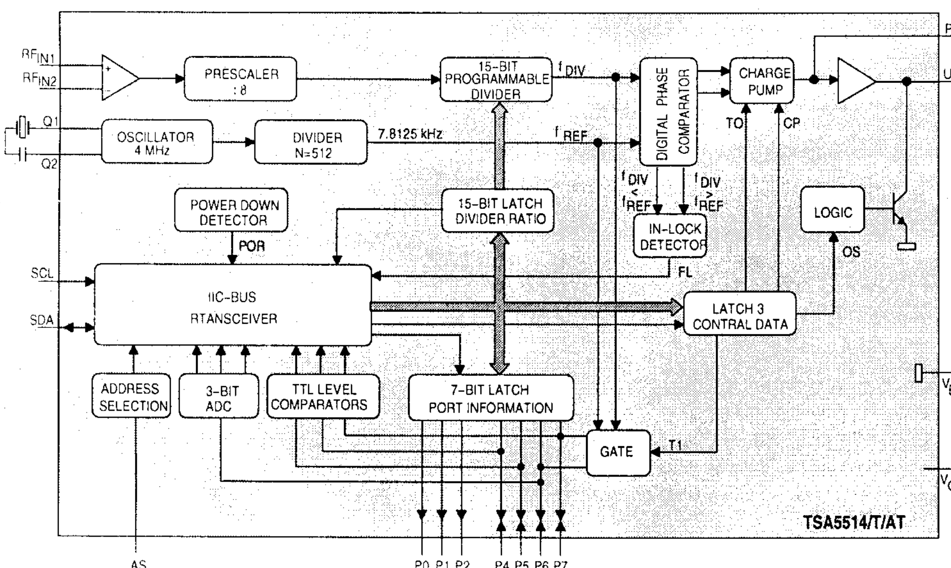
Układ TSA5511T (obudowa SOT109A) nie posiada trzech portów P0, P1 oraz P2. W przypadku układu TSA5512T (również w obudowie SOT109A) w stosunku do jego wersji podstawowej nie występują tylko dwa porty: P0 i P1, a zatem układ TSA5512T posiada aż 6 portów. Pewna różnica występuje również w odniesieniu do układu TSA5512 w obudowie 20-nóżkowej przeznaczonej do montażu płaskiego. Otóż w tej wersji, inaczej niż TSA5511, występuje on w dwóch różnych 20-nóżkowych obudowach:

- *Small Outline* 20 (SO-20; SOT163A) i wówczas przyjmuje oznaczenie TSA5512AT oraz
- *Shrink Small Outline Plastic* 20 (SSOP-20; SOT266) i wówczas przyjmuje oznaczenie TSA5512M.

Pozostały opis dotyczący układu TSA5511, a więc przede wszystkim: format danych dla kierunku transmisji „CZYTAJ", format danych dla kierunku transmisji „PISZ", sposób adresowania i modyfikowania adresu (w tym ilość dostępnych adresów) oraz kod konwersji napięcia dla przetwornika A/C jak również przeznaczenie poszczególnych portów, jest aktualny dla układu TSA5512.



Rys. 5. Typowy schemat aplikacyjny układu TSA5512 (wersja podstawowa, obudowa DIL-18).



Rys. 6. Schemat blokowy układu syntezera częstotliwości PLL - TSA5514.

C. Układ syntezera częstotliwości PLL - TSA5514

Schemat blokowy układu TSA5514 pokazano na rys. 6.

Jak widać również i ten układ w swej budowie wewnętrznej niewiele różni się od omawianych poprzednio układów TSA5511 i TSA5512. W rzeczywistości układ TSA5514, z niewielkimi odstępstwami, jest bardzo bliskim odpowiednikiem układu TSA5512: posiada 7 (zamiast 8) portów typu *open collector* oraz 4 programowalne adresy (zarówno układ

TSA5512 jak i TSA5511 posiadają po jednym adresie stałym i po trzy programowalne). Cztery z siedmiu portów układu TSA5514, a mianowicie: P4, P5, P6 oraz P7 są dwukierunkowe - mogą pracować jako wej/wyj; trzy pozostałe: P0, P1 oraz P2 mogą pracować tylko jako wyjścia. Z uwagi na niemal identyczność układów TSA5512 i TSA5514 oraz na fakt, że typowa aplikacja nie wykorzystuje wszystkich dostępnych portów (zaledwie trzy lub cztery) schematy aplikacyjne obydwu układów są identyczne (patrz: rys. 7).

Wszystkie wersje układu TSA5514 nie posiadają portu P3. Wyprowadzenie AS nie stanowi portu, jest jedynie wejściem dla napięcia wyboru adresu. Wejście to współpracuje oczywiście z bitami modyfikacji adresu MA0 i MA1. Tablica zależności pomiędzy napięciem na tym wejściu a stanem bitów MA0 i MA1 przedstawiona jest w tabeli 5.

Tabela 5. **Zależność pomiędzy bitami modyfikacji adresu MA0 i MA1 układu TSA5514 a napięciem na jego wejściu AS.**

Bity modyfikacji bajtu adresowego		Napięcie wejścia adresowego
MA1	MA0	AS
0	0	$0V \div 0.1 * V_{CC}$
0	1	otwarte (niepodłączone)
1	0	$0.4 * V_{CC} \div 0.6 * V_{CC}$
1	1	$0.9 * V_{CC} \div 13.5V$

W przypadku stosowania układu TSA5514 w układzie syntezy częstotliwości możliwym jest zastosowanie aż 4 takich układów w jednym systemie sterowania (wyposażony jest w cztery programowalne adresy).

Dla układu TSA5514 obowiązuje też nieco inny format danych dla kierunku transmisji „PISZ" (patrz: tabela 6).

Układu TSA5514T (obudowa SOT109A) w stosunku do swojej wersji podstawowej, podobnie jak to ma miejsce w przypadku układu TSA5512T, nie posiada dwóch portów: P0 i P1.

Pozostały opis schematu blokowego dotyczący układu TSA5511, a więc przede wszystkim format danych dla kierunku transmisji „CZYTAJ", kod konwersji napięcia dla przetwornika A/C (port P6), jak również przeznaczenie pozostałych portów, jest aktualny dla układu TSA5514.

D. Układ syntezera częstotliwości PLL - TSA5515T

Odmiennie niż omawiane dotychczas układy syntezerów częstotliwości PLL układ TSA5515T produkowany jest tylko w jednym, przeznaczonym do montażu powierzchniowego, typie obudowy - *Small Outline* 14 (SO-14; SOT108A). Zastosowana 14-nóżkowa obudowa narzuca pewne ograniczenia - układ TSA5515T posiada zaledwie 3 jednokierunkowe (wyjściowe)

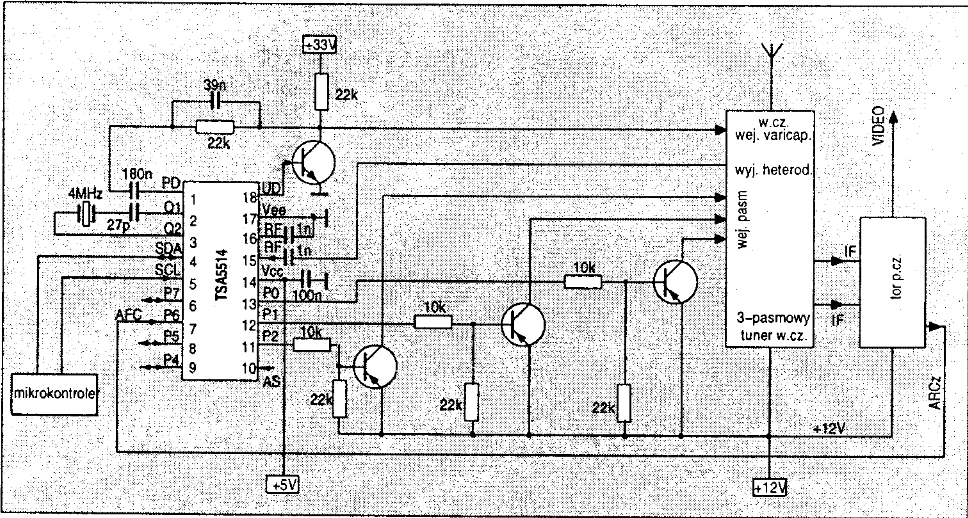
Tabela 6. **Format danych interfejsu szyny I^2C układu PLL TSA5514 dla kierunku transmisji „PISZ"**

	MSB							LSB		
bajt 1	1	1	0	0	0	MA1	MA0	0	A	Adres
bajt 2	0	N14	N13	N12	N11	N10	N9	N8	A	Dzielnik 2/2
bajt 3	N7	N6	N5	N4	N3	N2	N1	N0	A	Dzielnik 1/2
bajt 4	1	CP	T1	T0	x	x	x	OS	A	Test
bajt 5	P7	P6	P5	P4	x	P2	P1*)	P0*)	A	Porty I/O

*) - w układzie TSA5514T porty P0 i P1 nie występują

x - bit o wartości nieokreślonej (dowolnej).

Znaczenie pozostałych symboli z tabeli 6 jest zgodne z objaśnieniami pod tabelą 1.



Rys. 7. Typowy schemat aplikacyjny układu TSA5514 (wersja podstawowa, obudowa DIL-18).

Tabela 7. **Format danych interfejsu szyny I²C układu PLL TSA5515T dla kierunku transmisji „PISZ"**

	MSB							LSB		
bajt 1	1	1	0	0	0	MA1	MA0	0	A	Adres
bajt 2	0	N14	N13	N12	N11	N10	N9	N8	A	Dzielnik 2/2
bajt 3	N7	N6	N5	N4	N3	N2	N1	N0	A	Dzielnik 1/2
bajt 4	1	CP	T1	T0	x	x	x	OS	A	Test
bajt 5	P7	x	x	x	x	P2	P1	x	A	Porty I/O

gdzie:
- x - bit o wartości nieokreślonej (dowolnej)
- T1, T0, OS - bity przeznaczone do celów kontrolno-pomiarowych:
  - T1,T0,OS=0 - normalna praca układu,
  - T1 = 1 - do portu P2 przekazywany jest sygnał f_{ref}, natomiast do portu P7 sygnał f_{div},
- P7, P2, P1 - porty wyjściowe:
  - P7, P2, P1 = 1 - odpowiednie wyjścia portów: P7, P2, P1 typu *open-collector* stają się aktywne,
  - P7, P2, P1 = 0 - odpowiednie wyjścia portów: P7, P2, P1 wchodzą w stan wysokiej impedancji.

Objaśnienie pozostałych symboli z tabeli 7 jest zgodne z objaśnieniami pod tabelą 1.

Rys. 8. Schemat blokowy układu syntezera częstotliwości PLL TSA5515T.

Rys. 9. Typowy schemat aplikacyjny układu syntezera częstotliwości PLL TSA5515T.

porty: P1, P2 i P7, wszystkie są typu *open collector*. Układ TSA5515T nie posiada również przetwornika A/C. Wejście adresowe AS, podobnie jak dla układu TSA5514, nie stanowi portu. Z wymienionych ograniczeń wynikają stosunkowo duże różnice w schemacie blokowym i aplikacyjnym układu TSA5515T w stosunku do odpowiednich schematów wcześniej omawianych układów. Schemat blokowy układu TSA5515T przedstawia rys. 8. Typowy schemat aplikacyjny układu TSA5515T przedstawiono na rys. 9.

Z uwagi na stosunkowo skromny zestaw dostępnych portów układu TSA5515T oraz brak w nim przetwornika A/C w treści danych stosowanych w komunikacji pomiędzy nim a procesorem sterującym, zarówno dla kierunku „PISZ" jak i „CZYTAJ", występują znaczne różnice w stosunku do odpowiednich danych dla omawianego na samym początku układu TSA5511. Tabela 7 pokazuje format danych układu TSA5515T dla kierunku transmisji „PISZ", tabela 8 dla kierunku „CZYTAJ".

Podobnie jak poprzednio omawiany TSA5514, układ TSA5515T posiada również 4 programowalne adresy (możliwym jest zastosowanie aż 4 jednakowych układów w jednym systemie sterowania). Również zależności pomiędzy bitami adresowymi MA0 i MA1 a wartością napięcia na wejściu AS tego układu są zgodne z odpowiednimi zależnościami dotyczącymi układu TSA5514 (patrz: tabela 5).

Tabela 8. **Format danych interfejsu szyny I^2C układu TSA5515T dla kierunku transmisji „CZYTAJ”**

	MSB						LSB		
bajt1	1	1	0	0	0	MA1	MA0	1	A	adres
bajt2	POR	FL	1	1	1	1	1	1	-	bajt statusu

gdzie:

- FL - flaga wstawiana przez wewnętrzny cyfrowy detektor fazy (FL=1, gdy pętla fazowa układu PLL jest zamknięta),
- POR - flaga monitorująca stan napięcia zasilania (POR=1, gdy U_{CC} zmniejszy się poniżej 3V lub podczas włączania napięcia zasilania).

Rozkład i funkcje wyprowadzeń rodziny układów syntezerów częstotliwości PLL: TSA551x

TSA551xAT(M*) (SO-20) Nr pinu	**TSA551x** (DIL-18) Nr pinu	**TSA551xT** (SO-16) Nr pinu	**TSA5515T** (SO-14) Nr pinu	Nazwa pinu	Funkcja pinu
1	1	1	1	**PD**	wyjście *charge pump* / wej. sprz. zwrot. filtru aktyw.
2	2	2	2	**Q1**	wejście 1 oscylatora sterowanego kwarcem
3	3	3	3	**Q2**	wejście 2 oscylatora sterowanego kwarcem
4	-	-	-	**n.c.**	nie podłączone
5	4	4	4	**SDA**	linia danych szyny I^2C
6	5	5	5	**SCL**	linia zegara szyny I^2C
7	6	6	6	**P7**	port typu wej./wyj. (ogólnego przeznaczenia)
8	-	-	-	**n.c.**	nie podłączone
9	7	7	-	**P6**	port typu wej./wyj. (wejście przetwornika ADC)
10	8	8	-	**P5**	port typu wej./wyj. (ogólnego przeznaczenia)
11	9	9	-	**P4**	port typu wej./wyj. (ogólnego przeznaczenia)
12	10	10	7	**P3/AS**	port typu wej./wyj. (wejście wyboru adresu**))
13	11	11***)	8	**P2**	port typu wyj.
14	12	-	9	**P1**	port typu wyj.
15	13	-	-	**P0**	port typu wyj.
16	14	12	10	**V_{CC}**	napięcie zasilania +5V
17	15	13	11	**RF_{IN1}**	wejście sygnałów VHF/UHF
18	16	14	12	**RF_{IN2}**	wejście odniesienia wzmacniacza RF
19	17	15	13	**V_{EE}**	masa
20	18	16	14	**UD**	wyjście sterujące napięciem przestrajania

Uwaga:

*) - przyrostek „M” w oznaczeniu występuje tylko dla układu TSA5512M,

**) - tylko wejście wyboru adresu dla układów TSA5514 oraz układu TSA5515,

***) - dla TSA5511T - wyprowadzenie 11 niepodłączone.

Zestawienie podstawowych (typowych) danych rodziny układów syntezerów częstotliwości PLL: TSA551x

		TSA5511...			**TSA5512...**				**TSA5514...**			**TSA5515...**
Parametr	Jed.	**-**	**T**	**AT**	**-**	**T**	**AT**	**M**	**-**	**T**	**AT**	**T**
Napięcie zasilania V_{CC}	V	5	5	5	5	5	5	5	5	5	5	5
Pobór prądu I_{CC}	mA	35	35	35	35	35	35	35	35	35	35	35
Zakres częstotliwości pracy Δf	MHz	64 ÷ 1300										
Częst. oscylatora kwarcowego	MHz	4	4	4	4	4	4	4	4	4	4	4
Ilość portów typu *open collector*	-	4	4	4	8	6	8	8	7	5	7	3
Ilość portów z ogran. prądowym	-	4	1	4	0	0	0	0	0	0	0	0
Prąd wyj. portów *open collector*	mA	10	10	10	5	5	5	5	10	10	10	20 (5/P7)
Prąd wyj. portów z ogran. wydaj.	mA	1	1	1	-	-	-	-	-	-	-	-
Ilość przetworników A/C	-	1	1	1	1	1	1	1	1	1	1	0
Ilość wejść standardu TTL	-	3	3	3	3	3	3	3	3	3	3	0
Ilość programowalnych adresów	-	3	3	3	3	3	3	3	4	4	4	4
Typ obudowy	-	DIL18	SO16	SO20	DIL18	SO16	SO20	SSOP20	DIL18	SO16	SO20	SO-14

Pin	TSA5511AT	Pin	TSA5511	Pin	TSA5511T
1	PD	1	PD	1	PD
2	Q1	2	Q1	2	Q1
3	Q2	3	Q2	3	Q2
4	n.c.	4	SDA	4	SDA
5	SDA	5	SCL	5	SCL
6	SCL	6	P7	6	P7
7	P7	7	P6	7	P6
8	n.c.	8	P5	8	P5
9	P6	9	P4	9	P4
10	P5	10	P3	10	P3
11	P4	11	P2	11	n.c.
12	P3	12	P1	12	Vcc
13	P2	13	P0	13	RFin1
14	P1	14	Vcc	14	RFin2
15	P0	15	RFin1	15	Vee
16	Vcc	16	RFin2	16	UD
17	RFin1	17	Vee		
18	RFin2	18	UD		
19	Vee				
20	UD				

SO-20; SOT163A (SMD) — DIL-18; SOT102 — SO-16; SOT109A (SMD)

Pin	TSA5512AT / TSA5512M	Pin	TSA5512	Pin	TSA5512T
1	PD	1	PD	1	PD
2	Q1	2	Q1	2	Q1
3	Q2	3	Q2	3	Q2
4	n.c.	4	SDA	4	SDA
5	SDA	5	SCL	5	SCL
6	SCL	6	P7	6	P7
7	P7	7	P6	7	P6
8	n.c.	8	P5	8	P5
9	P6	9	P4	9	P4
10	P5	10	P3	10	P3
11	P4	11	P2	11	P2
12	P3	12	P1	12	Vcc
13	P2	13	P0	13	RFin1
14	P1	14	Vcc	14	RFin2
15	P0	15	RFin1	15	Vee
16	Vcc	16	RFin2	16	UD
17	RFin1	17	Vee		
18	RFin2	18	UD		
19	Vee				
20	UD				

TSA5512AT: SO-20; SOT163A (SMD)
TSA5512M: SSOP-20; SOT266 (SMD) — DIL-18; SOT102 — SO-16; SOT109A (SMD)

Pin	TSA5514AT	Pin	TSA5514	Pin	TSA5514T	Pin	TSA5515T
1	PD	1	PD	1	PD	1	PD
2	Q1	2	Q1	2	Q1	2	Q1
3	Q2	3	Q2	3	Q2	3	Q2
4	n.c.	4	SDA	4	SDA	4	SDA
5	SDA	5	SCL	5	SCL	5	SCL
6	SCL	6	P7	6	P7	6	P7
7	P7	7	P6	7	P6	7	AS
8	n.c.	8	P5	8	P5	8	P2
9	P6	9	P4	9	P4	9	P1
10	P5	10	AS	10	AS	10	Vcc
11	P4	11	P2	11	P2	11	RFin1
12	AS	12	P1	12	Vcc	12	RFin2
13	P2	13	P0	13	RFin1	13	Vee
14	P1	14	Vcc	14	RFin2	14	UD
15	P0	15	RFin1	15	Vee		
16	Vcc	16	RFin2	16	UD		
17	RFin1	17	Vee				
18	RFin2	18	UD				
19	Vee						
20	UD						

SO-20; SOT163A (SMD) — DIL-18; SOT102 — SO-16; SOT109A (SMD) — SO-14; SOT108A (SMD)

Rys. 10. Rozkład wyprowadzeń i typy obudów rodziny układów syntezerów częstotliwości PLL: TSA551x.

Co z zamienialnością omawianych układów PLL ?

Mimo istniejących różnic omawiane układy PLL w poszczególnych grupach (typach obudów) dla praktycznych aplikacji w głowicach TV/VCR, są na ogół zamienialne. Wynika to z faktu, iż właśnie praktyczne aplikacje wykorzystują zaledwie część możliwości zastosowanych układów PLL. Zwykle, oprócz wyjścia sterującego napięcie przestrajania UD, wykorzystywane są jedynie trzy porty wyjściowe do załączania pasm głowicy w.cz. oraz wejście adresowe. Jednak do pełnej oceny zamienialności danego układu innym, z omawianej rodziny, niezbędny byłby schemat ideowy interesującej nas głowicy. Dysponując takim schematem jesteśmy w stanie ocenić zakres wykorzystywania możliwości zastosowanego układu PLL jak również - co jest istotne - sposób sterowania układami przełączania pasm głowicy (bezpośrednio z portu czy za pośrednictwem układów buforujących). Pozwoli nam to na ocenę czy dysponowany zamiennik posiada możliwości oryginału (np. konfiguracja lub obciążalność wykorzystywanych portów).



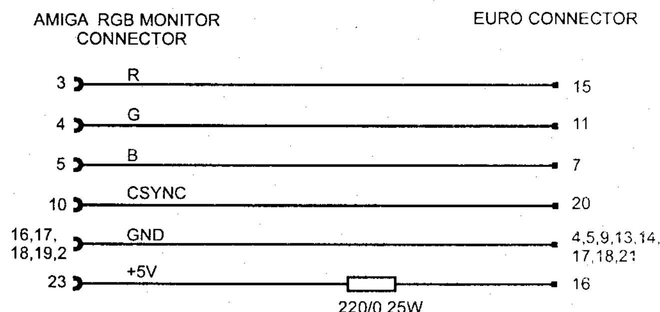
Odbiorniki SANYO - porady serwisowe

Jerzy Jędrzejewski

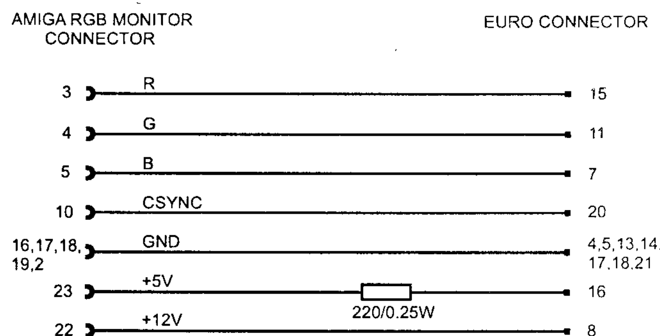
Po zakończeniu na łamach „Serwisu Elektroniki" opisu chassis A7A, w przygotowaniu znajduje się cykl następnych artykułów, w których opisane zostaną modele odbiorników znane na polskim rynku od lat 80 - tych, tzn. z czasów kiedy ich importem zajmował się „PEWEX". Były to odbiorniki z serii CEM3022P, CEM6022P, CEM6041PTX, CEM2140 oraz CEM2141PTX. Również produkcja odbiorników rozpoczęta w Polsce w roku 1993, została zapoczątkowana powyższymi modelami. Nie wdając się w szczegóły, które przyniosą następne numery czasopisma, podpowiem jedynie iż tematem opracowania będzie chassis A3-A, A3-C oraz A3-B. Dodatkowo proszę o zwrócenie uwagi na fakt, że wszystkie publikowane materiały mają odniesienie wprost do odbiorników produkowanych w Polsce - numery seryjne tych odbiorników rozpoczynają się zawsze od cyfry „1". Odbiorniki importowane przez „PEWEX", czy też przez generalnego przedstawiciela „SANYO" w Polsce - "SANSERVICE" pochodziły z różnych fabryk, różniąc się niektórymi szczegółami konstrukcyjnymi oraz np. typami lamp kineskopowych. Nie ma to oczywiście znaczenia jeżeli rozpatrywać zasadę funkcjonowania przedstawianych rozwiązań. Nie mniej jednak, zawsze należy zwracać uwagę na fakt, czy przedstawiona porada, aplikacja lub sposób rozwiązania problemu „pasuje" wprost do odbiornika, który stoi w naszym zakładzie. Tyle o najbliższej przyszłości. Ponieważ jednak życie nie znosi próżni, w obecnym numerze czasopisma pragnę poruszyć ciekawy skądinąd problem odbiorników sprawnych technicznie, które jednak nie działają (a dokładnie nie współdziałają) z innymi urządzeniami.

Dlaczego odbiorniki oparte o chassis A7A nie chcą współpracować z komputerem „AMIGA"?

Przyczyna jak zwykle jest prozaiczna. Nie ma oczywiście żadnych problemów ze współpracą komputera z odbiornikiem przy korzystaniu z wejścia antenowego, gdy komputer wyposażony jest w modulator. Kłopoty zaczynają się w chwili, gdy użytkownik komputera pragnie wykorzystać możliwość współpracy odbiornik - komputer w trybie RGB. Odbiorniki „SANYO" oparte o chassis A7A mają taką możliwość, pod warunkiem jednak, że doprowadzone sygnały do gniazda EURO zgodne są z zaleceniami IEC co do przyporządkowania (sygnał - numer kontaktu) oraz wartości sygnałów. Dla przypomnienia: wymagania elektryczne opisane zostały w nr 1/96 „Serwisu Elektroniki". W przypadku komputera AMIGA, niezgodny ze specyfikacją jest sygnał BLANKING (n.16) wynoszący +5V. Rozwiązanie problemu jest proste i polega na modyfikacji przewodu połączeniowego odbiornik-komputer. W tym celu należy wstawić szeregowo w przewód połączeniowy (konkretnie w przewód podający sygnał BLANKING), rezystor o wartości 220Ω/0.25W - patrz rysunek 1. Dzięki tej operacji sygnał sterujący BLANKING zostanie zredukowany na dzielniku napięcia utworzonym przez wspomniany rezystor 220Ω oraz rezystor dopasowujący 75Ω (znajdujący się na chassis odbiornika) do poziomu akceptowanego przez specyfikację gniazda EURO. Po modyfikacji zgodnej z rys.1, aby można było pracować w trybie RGB, należy oczywiście przełączyć odbiornik za pomocą nadajnika zdalnego sterowania w tryb pracy AV. Jeżeli jednak wspomniany przewód połączeniowy dysponuje jedną „wolną" żyłą, możemy ją wykorzystać do automatycznego przełączania odbiornika w tryb pracy „AV", poprzez wykonanie połączenia n.22 złącza komputera z n.8 wtyku EURO, zgodnie z rys.2.



Rys.1. Widok zmodyfikowanego przewodu połączeniowego (ustawiany tryb pracy AV).

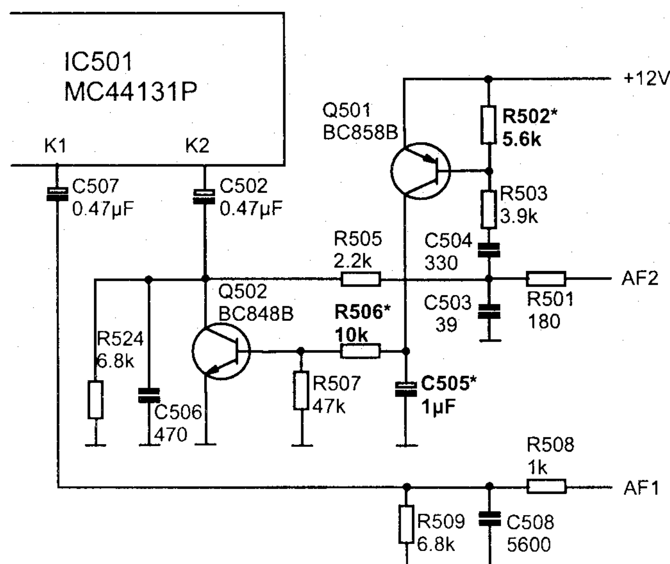


Rys.2. Widok zmodyfikowanego przewodu połączeniowego (z automatycznym przełączeniem w tryb AV).

Jeszcze raz o fałszywej identyfikacji sygnału „STEREO" przy transmisji monofonicznej

Problem ten został już raz obszernie opisany w „Serwisie Elektroniki" w nr 3/96. Okazuje się że problem ten prześladuje nie tylko konkretną rodzinę układów czy też wybranych produ - centów. W przypadku OTVC „SANYO" problem ten szczególnie dał się zaobserwować w odbiorniku 28" typu C28EH27EE. W module stereodekodera (dla przypomnienia: system stereofonii A2 w wersji B/G) użyty został układ scalony f-my Motorola typu MC44131P. Jest to raczej nowoczesny układ z rodziny tzw. „systemu 4" w/w producenta. Obsługa funkcji realizowanych przez ten układ odbywa się oczywiście w oparciu o magistralę I^2C. Jak można domniemywać na podstawie not aplikacyjnych, konstruktorzy Motoroli usiłowali poprawić parametry układu w stosunku do jego wersji poprzed-

niej o większą odporność na niewłaściwą interpretację sygnałów doprowadzonych do wejść stereodekodera, w kontekście fałszywej identyfikacji sygnału monofonicznego jako stereofoniczny. Jak już wszyscy wiemy, objawem takiej nieprawidłowej identyfikacji jest błędne włączenie matrycy, czemu od strony użytkownika towarzyszy pojawienie się na ekranie komunikatu OSD „STEREO" oraz wystąpienie przydźwięku fonii. Teoretycznie układ MC44131P jest dodatkowo zabezpieczony w stosunku do swojej wersji poprzedniej specjalnym oprogramowaniem, które miało spowodować znieczulenie stereodekodera na zakłócenia będące przyczyną zjawiska. Okazało się jednak inaczej. Poniżej na rys.3 prezentuję wycinek schematu stereodekodera (konkretnie tzw. modułu audio).



Rys.3. Fragment schematu stereodekodera odbiornika C28EH27EE z uwidocznieniem elementów podlegających zmianie wartości.

Jak wynika ze schematu, układowi stereodekodera MC44131P towarzyszy jedynie prosta aplikacja mająca za zadanie ochronę wejść stereodekodera przed tzw. „śmieciami". Stanowi ją układ dwóch filtrów dolnoprzepustowych odpowiednio: dla kanału AF1 niosącego informację dla trybu monofonicznego, ewentualnie informację kanału lewego dla trybu stereofonicznego elementy R508 i C508 - jest to kombinacja wystarczająca; dla kanału AF2 nieaktywnego podczas transmisji monofonicznej oraz niosącego informację o kanale prawym przy pracy w trybie stereofonicznym elementy R501, C503 wraz z układem dwóch kluczy tranzystorowych Q501 i Q502. Zadaniem kluczy jest zwieranie wejścia K2 stereodekodera (w sensie małosygnałowym), w przypadku pojawienia się na wejściu AF2 sygnałów innych niż sygnał audio m.cz. Praktyka pokazała jednak, że układ taki być może zachowuje się poprawnie w przypadku odbiornika pracującego w jednym standardzie, ale w przypadku odbiornika wielostandardowego układowi można zarzucić zbyt duży poziom wrażliwości na widmo częstotliwości niepożądanych występujących w kanale AF2 dla transmisji „mono" (innymi słowy: im bardziej odbiornik przypomina kombajn do obróbki sygnałów różnych standardów fonii, tym mniej ładnie wyglądają sygnały będące produktem wyjściowym stopni p.cz. fonii). Metoda rozwiązania problemu jest nieco szokująca, ale sprawdzona w wielu przypadkach i polega na następujących czynnościach:

a) niczym nie „kręcić" w odbiorniku - producent na pewno zrobił to w sposób optymalny,
b) upewnić się czy tranzystory Q501 i Q502 są sprawne,
c) zamienić miejscami rezystory R502 oraz R506-uwaga elementy SMD (rys.3 dotyczy schematu przed dokonaniem zmian),
d) zwiększyć wartość pojemności C505 do 3.3µF.

Opisana modyfikacja ma na celu przyśpieszenie wchodzenia w stan nasycenia tranzystora Q501 oraz podtrzymywanie relatywnie wysokiego poziomu napięcia wysterowującego klucz zwierający Q502. Zwiększenie pojemności C505 nie powoduje wbrew pozorom zwiększenia czasu identyfikacji sygnału, lecz opóźnia wejście w stan odcięcia klucza tranzystorowego Q502 po ustąpieniu zakłóceń - innymi słowy po zniknięciu z toru AF2 zakłóceń, wejście K2 układu IC501 pozostaje jeszcze przez pewien czas zwarte do masy układu.

Dlaczego odbiornik 25" typu C25EG97EE nie ma możliwości pracy w trybie TELETEKST z sygnałem zewnętrznym AV?

Jak mówi pewien zaprzyjaźniony konstruktor, nie znanym jest „co ustawodawca chciał przez to powiedzieć". Wszystkie modele odbiorników „SANYO" występujące w Polsce, za wyjątkiem modelu C25EG97EE mogą przetwarzać (tu: wizualizować) informacje teletekstu bez względu na to czy odbiornik pracuje z sygnałem CVBS z toru wewnętrznego, czy też zewnętrznego - poprzez złącze EURO (SCART). Od momentu wprowadzenia modelu OTVC C25EG97EE do produkcji, spotkałem się już kilkakrotnie z zapytaniem klientów czy jest możliwe usprawnienie odbiornika pod kątem w/w współpracy (faktem jest jednocześnie, że w instrukcji obsługi odbiornika nikt takiej możliwości nie oferuje). Jest to o tyle proste, że na płycie bazowej odbiornika istnieją wszystkie kluczowe elementy aktywne warunkujące przełączanie wejścia dekodera teletekstu na sygnał CVBS pochodzący z toru TV bądź AV. W przypadku usprawnienia odbiornika należy zamontować zwory w następujących miejscach wyspecyfikowanych na sitodruku płyty odbiornika:

- J018, JR020, L891, C857 - dla odbiornika bez PIP,
- J018, JR020, L891, "+"C857 zewrzeć z R862A (od strony n.20 złącza EURO) - dla odbiornika wyposażonego w PIP.

Stare modele, stare kłopoty...

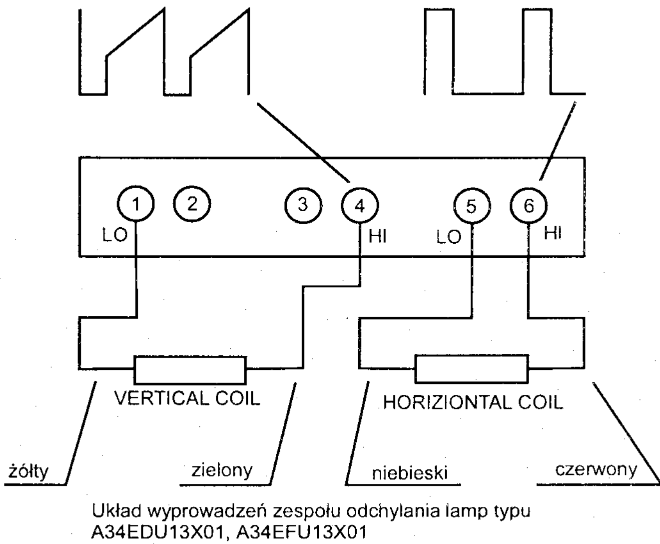
Problem tu przedstawiony jest również stary jak świat, a przynajmniej tak stary jak historia OTVC. Tym razem pragnę się podzielić z Czytelnikami - serwisantami informacją dotyczącą możliwością zastąpienia nieosiągalnych na rynku polskim (a z pewnością trudno osiągalnych) oryginalnych lamp kineskopowych. Na początek tematem będzie odbiornik OTVC „SANYO" model CEM3022P. Jest to odbiornik 14", który był osiągalny na rynku polskim poprzez sieć importu wewnętrznego, oraz produkowany w Polsce w roku 1993/1994.

Oryginalnie odbiornik wyposażony był w lampę kineskopową f-my „SAMSUNG" typu 37GDA85X-TC. Informacja ta (a ściśle typ lampy kineskopowej) prawdziwa jest dla odbiorników produkowanych w Polsce - patrz na wstęp artykułu. W przypadku uszkodzenia się lampy powstaje nie lada problem, przy czym najłatwiejszym rozwiązaniem jest zastąpienie jej krajowym produktem - lampą produkcji Thomson-Polkolor. W rachubę wchodzą następujące lampy kineskopowe (podaję je w układzie chronologicznym wchodzenia do produkcji w Thomson-Polkolor):

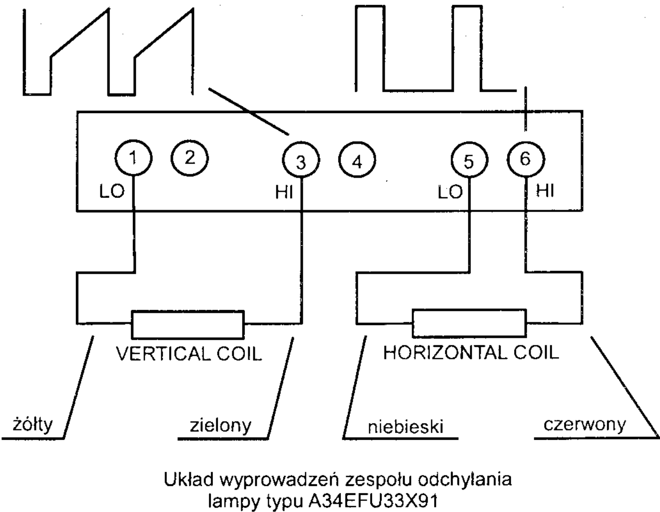
A34EDU13X01, A34EFU13X01, A34EFU33X91.

Generalnie rzecz biorąc, lampy te posiadają identyczne parametry elektryczne (łącznie z zespołem odchylania). Różnią się one między innymi elementami typu odmienna opaska antyimplozyjna oraz odmienny układ wyprowadzeń zespołu odchylania. Podstawową różnicą w stosunku do lampy SAMSUNG jest to, że ta ostatnia posiadała szyjkę o zmniejszonej średnicy tzw. "mini neck". W związku z powyższym, opracowano nowy wzór modułu płytki kineskopu o oznaczeniu EB3216AXA (jest prawdopodobne, że płytka ta będzie dostępna w Składzie Elementów Elektronicznych „APROVI"), która to płytka umożliwia zamontowanie podstawki kineskopu typu „EURO" i bezstresowe przejście na kineskop proukcji Thomson - Polkolor. Procedura postępowania przy operacji wymiany lampy kineskopowej „SAMSUNG" na jedną z wymienionych lamp krajowych jest następująca:

a) wymontować uszkodzony kineskop,
b) zamontować jedną z wymienionych lamp krajowych,
c) podłączyć wiązkę zespołu odchylania zgodnie z rys.4 w zależności od typu użytej lampy,
d) zmienić wartość rezystora żarzenia R481 z wartości 0.56Ω/1W na 0.22Ω/1W,
e) zdemontować z istniejącej płytki kineskopu wszystkie elementy łącznie z wiązkami K6P, K6Q, przewodem siatki 2 (SCREEN) oraz przewodem siatki 3 (FOCUS). Elementy powyższe posłużą do dalszego wykorzystania,
f) zamontować na płytce EB3216AXA następujące elementy: podstawkę kineskopu typu „EURO", 4 szt. kołków STOCKO (K6M, TP6E, TP6A, TP6B), zwory w miejsce elementów R651, L633, R641,
g) wymontowane uprzednio podzespoły powtórnie zamontować na nowej płytce zachowując zgodność oznaczeń pomiędzy starym i nowym modułem,
h) po sprawdzeniu porawności montażu,uruchomić OTVC i dokonać regulacji balansu bieli.



Układ wyprowadzeń zespołu odchylania lamp typu A34EDU13X01, A34EFU13X01



Układ wyprowadzeń zespołu odchylania lampy typu A34EFU33X91

Rys.4. Schemat podłączenia wiązki odchylania w zależności od typu użytej lampy kineskopowej.

Magnetowidy - zestawienie modeli o takiej samej konstrukcji mechanicznej (cz. 14)

Model		Model bazowy	
SONY	SLV300	SONY	SLV210
SONY	SLV301	SONY	SLV401
SONY	SLV302	SONY	SLV401
SONY	SLV310	PANASONIC	NVJ30
SONY	SLV363	SONY	SLV373
SONY	SLV402	SONY	SLV401
SONY	SLV410	SONY	SLV415
SONY	SLV416	SONY	SLV373
SONY	SLV425	SONY	SLV275

Model		Model bazowy	
SONY	SLV427	SONY	SLV275
SONY	SLV474	SONY	SLV415
SONY	SLV727	SONY	SLV825
SONY	SLV757	SONY	SLV656
SONY	SLV777	SONY	SLV656
SONY	SLV802	SONY	SLV801
SONY	SLV815	SONY	SLV715
SONY	SLVE7	SONY	SLVE9
SONY	SLVE8	SONY	SLVE9

Model		Model bazowy	
SONY	SLVX20	SANYO	VHR4100
SONY	SLVX30	SONY	SLV282
SONY	SLVX50	SONY	SLV373
SONY	SLVX55	SONY	SLV373
SOUND & VI	RS2038	ORION	VH300RC
SOUND & VI	RS3220	ORION	VH689RC
STARLITE	SVCR7	GOLDSTAR	GSE1910
STZ	VCR4000	FUNAI	VCR4800
SUPERTECH	VP92	FUNAI	VCR7000
SUPERTECH	VR1	SAMSUNG	PX980
SUPRA	SV18P	FUNAI	VCR4000
SUPRA	SV8800II	SAMSUNG	SVX307
SUPRA	SV8800III	SAMSUNG	SVX503
TACTICS	VX9700	SAMSUNG	SVX301
TACTICS	ZX9100	SAMSUNG	VB900
TACTICS	ZX9700	SAMSUNG	VB900
TANDBERG	TBV3	ORION	VH30
TANDBERG	TBV4	ORION	VH400
TANDBERG	TBV5	ORION	VH300
TANDBERG	TBV6	ORION	VH2500
TASHIKO	VVE922	PHILIPS	VR6760
TASHIKO	VVF933	FUNAI	VCR4530
TASHIKO	VVH934	FUNAI	VCR4530
TATUNG	TVR6111	FUNAI	VCR4530
TATUNG	VRH8350	AKAI	VS105
TATUNG	VRH8490	PHILIPS	VR6462
TATUNG	VRH8495	PHILIPS	VR6467
TATUNG	VRH8550	PHILIPS	VR6760
TEAC	MV8000	JVC	HRD140
TEC	3810	DAEWOO	VCR12
TEC	3821	DAEWOO	VCR12
TEC	3830	DAEWOO	VCR50
TEC	3832	DAEWOO	VCR12
TEC	3834	DAEWOO	VCR12
TEC	3850	DAEWOO	VCR30
TEC	3860	DAEWOO	VCR12
TEC	3870	DAEWOO	VCR12
TEC	3890	DAEWOO	VCR12
TECHLINE	VCR68	FUNAI	VCR5800
TECHLINE	VCR96	FUNAI	VCR5800
TECHLINE	VCR8000	FUNAI	VCR5800
TECHLINE	VR45	FUNAI	VCR5800
TELEFUNKEN	A920	JVC	HRD140
TELEFUNKEN	A920X	TOSHIBA	V110
TELEFUNKEN	A930	JVC	HRD170
TELEFUNKEN	A930	TELEFUNKEN	VRA930
TELEFUNKEN	A930L	JVC	HRD170
TELEFUNKEN	A930L	TELEFUNKEN	VRA930L
TELEFUNKEN	A930N	TOSHIBA	V110
TELEFUNKEN	A930P	JVC	HRD170
TELEFUNKEN	A930P	TELEFUNKEN	VRA930P
TELEFUNKEN	A930S	JVC	HRD170
TELEFUNKEN	A930S	TELEFUNKEN	VRA930S
TELEFUNKEN	A930X	JVC	HRD540
TELEFUNKEN	A930X	TELEFUNKEN	VRA930X
TELEFUNKEN	A932E	TOSHIBA	V110
TELEFUNKEN	A932M	JVC	HRD170
TELEFUNKEN	A932N	JVC	HRD540
TELEFUNKEN	A935	JVC	HRD180
TELEFUNKEN	A935P	JVC	HRD180
TELEFUNKEN	A935SV	JVC	HRD170
TELEFUNKEN	A940	JVC	HRD110
TELEFUNKEN	A960S	JVC	HRD370
TELEFUNKEN	A980	JVC	HRD370
TELEFUNKEN	A980P	JVC	HRD370
TELEFUNKEN	A980SV	JVC	HRD860
TELEFUNKEN	A980V	JVC	HRD750
TELEFUNKEN	A990	JVC	HRD170
TELEFUNKEN	A990N	JVC	HRD960
TELEFUNKEN	A990P	JVC	HRD530
TELEFUNKEN	A1200	JVC	HRS5000
TELEFUNKEN	A1250	JVC	HRS5800
TELEFUNKEN	C930	TOSHIBA	V110
TELEFUNKEN	C990	JVC	HRD980
TELEFUNKEN	C1250	JVC	HRS4700
TELEFUNKEN	C1260	JVC	HRS4700
TELEFUNKEN	VR400	JVC	HR3300
TELEFUNKEN	VR410	JVC	HR3300
TELEFUNKEN	VR440	JVC	HR3660
TELEFUNKEN	VR440II	JVC	HR3660
TELEFUNKEN	VR449	JVC	HR3660
TELEFUNKEN	VR450	JVC	HR7700
TELEFUNKEN	VR510	JVC	HR2200
TELEFUNKEN	VR519	JVC	HR2200
TELEFUNKEN	VR520	JVC	HR7200
TELEFUNKEN	VR529	JVC	HR7200
TELEFUNKEN	VR530	JVC	HR7600
TELEFUNKEN	VR535	JVC	HR7600
TELEFUNKEN	VR539	JVC	HR7600
TELEFUNKEN	VR540	JVC	HR7700
TELEFUNKEN	VR549	JVC	HR7700
TELEFUNKEN	VR550	JVC	HR7600
TELEFUNKEN	VR610	JVC	HR2200
TELEFUNKEN	VR620	JVC	HR7200
TELEFUNKEN	VR630	JVC	HR7600
TELEFUNKEN	VR640	JVC	HR7700
TELEFUNKEN	VR650	JVC	HR7600
TELEFUNKEN	VR900	JVC	HRC3
TELEFUNKEN	VR920	JVC	HR7200
TELEFUNKEN	VR925	JVC	HRD110
TELEFUNKEN	VR930	JVC	HRD110
TELEFUNKEN	VR940	JVC	HRD110
TELEFUNKEN	VR950	JVC	HRD110
TELEFUNKEN	VR970	JVC	HRD455
TELEFUNKEN	VR975	JVC	HRD565
TELEFUNKEN	VR980	JVC	HRD725
TELEFUNKEN	VR1900	JVC	HRC3
TELEFUNKEN	VR1920	JVC	HR7200
TELEFUNKEN	VR1925	JVC	HRD110
TELEFUNKEN	VR1930	JVC	HRD110
TELEFUNKEN	VR1935	SHARP	VC471
TELEFUNKEN	VR1939	JVC	HRD110
TELEFUNKEN	VR1940	JVC	HRD110
TELEFUNKEN	VR1950	JVC	HRD110
TELEFUNKEN	VR1970	JVC	HRD455
TELEFUNKEN	VR1980	JVC	HRD725
TELEFUNKEN	VR2910	JVC	HRS10
TELEFUNKEN	VR2915	SHARP	VC581
TELEFUNKEN	VR2920	JVC	HRD140
TELEFUNKEN	VR2925	JVC	HRD140
TELEFUNKEN	VR2930	JVC	HRD140
TELEFUNKEN	VR2931	JVC	HRD170
TELEFUNKEN	VR2935	JVC	HRD210
TELEFUNKEN	VR2941	JVC	HRD180
TELEFUNKEN	VR2960	JVC	HRD220
TELEFUNKEN	VR2970	JVC	HRD565
TELEFUNKEN	VR2971	JVC	HRD370
TELEFUNKEN	VR2980	JVC	HRD725
TELEFUNKEN	VR2981	JVC	HRD755
TELEFUNKEN	VR3935	JVC	HRD210
TELEFUNKEN	VR3943	JVC	HRD300

Ciąg dalszy w następnym numerze 

Sterowanie wyświetlaczami 7-segmentowymi LED - specjalizowane układy scalone

Ireneusz Lula

W poprzednim numerze „Serwisu Elektroniki" opisałem różne sposoby sterowania wskaźnikami LED. Zwróciłem uwagę, że w urządzeniach z mikrokontrolerem często zachodzi potrzeba zminimalizowania liczby jego wyprowadzeń „oddelegowanych" do obsługi wyświetlacza. Napisałem, że do osiągnięcia tego celu najlepiej jest wykorzystać zewnętrzne układy rejestrów SIPO (z szeregowym wprowadzaniem i równoległym wyprowadzaniem danych).

W poniższym artykule przedstawię dwa tego typu układy scalone - SAA1060 i SAA1064, opracowane specjalnie do sterowania siedmiosegmentowymi wyświetlaczami diodowymi. Wiele ich cech dodatkowych, wynikających z tak określonej specjalizacji powoduje, że nazywanie ich rejestrami jest daleko posuniętym uproszczeniem. Bliższa prezentacja tych układów może więc być interesująca dla wielu Czytelników, zwłaszcza, że znajdują się one w produkcji od wielu lat i często można je spotkać w odbiornikach telewizyjnych, sprzęcie audio bądź innych urządzeniach powszechnego użytku.

SAA1060 i SAA1064 - cechy wspólne

Prezentowane układy SAA1060 i SAA1064 są produktami firmy Philips. Mogą one sterować statycznie dwoma wyświetlaczami (razem 16 segmentów - z punktami dziesiętnymi włącznie) lub impulsowo czterema wyświetlaczami (32 segmenty). Pozwalają na zaświecenie zupełnie dowolnej kombinacji segmentów. Zamiast wskaźnikami siedmiosegmentowymi mogą więc także sterować całkowicie niezależnymi LED-ami albo LED-ami zestawionymi w dowolne kombinacje (skale, linijki, okręgi itp.). Mogą też służyć jako interfejs dobudowujący dodatkowe wyjścia mikrokontrolera.

Oba układy działają na zasadzie rejestrów, do których wpisywanie odbywa się poprzez magistrale szeregowe. Protokoły transmisji (choć różne dla SAA1060 i SAA1064) pozwalają na wykorzystanie każdej z tych magistral do sterowania większą liczbą różnych układów. Oznacza to, że w bardziej złożonych systemach sterowania mikrokontroler nie musi rezerwować dla wyświetlaczy specjalnych niezależnych wyprowadzeń, lecz może wykorzystać te same piny, poprzez które kontaktuje się z innymi układami.

Dane wpisane szeregowo do rejestrów pojawiają się na ich równoległych wyjściach. Stan wyjść raz ustawiony, nie ulegnie zmianie dowolnie długo, nie jest więc potrzebne cykliczne odświeżanie ich zawartości. Realizacja funkcji wyświetlania impulsowego również nie wymaga stałego angażowania mikrokontrolera i magistrali sterującej.

Oba opisywane układy posiadają po 16 wyprowadzeń do sterowania diod świecących. Aktywny jest stan niski co oznacza, że diody świecące powinny być podłączane katodami do nóżek układu. Nie można więc stosować wskaźników ze wspólną katodą. Wyprowadzenia układu scalonego podłączone są wewnętrznie do wyjść wspomnianych wyżej rejestrów. Ale uwaga. Każdy układ posiada dwa rejestry 16 - bitowe. Przy sterowaniu statycznym wykorzystywany jest tylko pierwszy z nich. Przy sterowaniu impulsowym do wyprowadzeń układu podłączany jest raz pierwszy, raz drugi rejestr.

Każda nóżka służąca do sterowania diodą posiada własny stopień wyjściowy zapewniający wartość prądu (w stanie niskim) wystarczającą do zapalenia LED-a. Dopuszczalne wartości tego prądu są różne dla różnych układów i różnych nóżek, w każdym przypadku jednak wystarczą do zaświecenia najbardziej „prądożernej" diody świecącej.

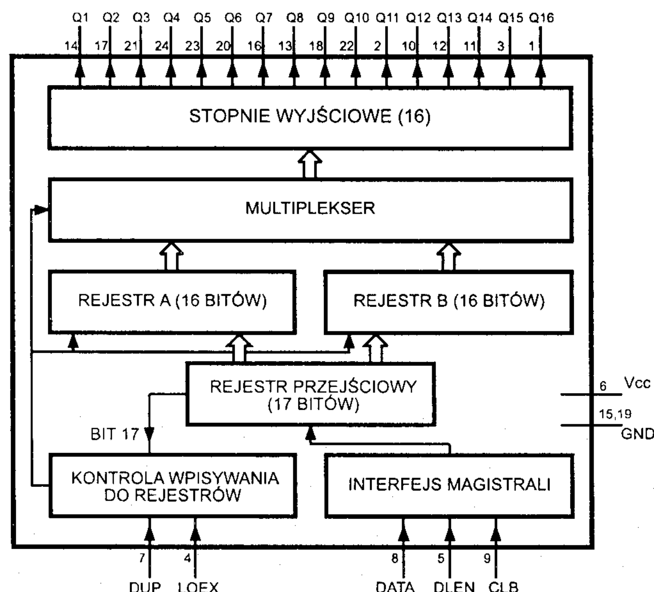
Wyjścia układów SAA1060 i SAA1064 nie są przypisane na stałe do konkretnych segmentów wyświetlacza (to znaczy producent nie określa, że na przykład pin 3 ma sterować segmentem „f"). Przyporządkowania dokonuje programista mikrokontrolera sterującego urządzeniem. Rozsądnym kryterium wyboru może być na przykład optymalizacja prowadzenia ścieżek na płytce drukowanej.

Obydwa układy są wykonywane w technologii bipolarnej, co eliminuje ryzyko uszkodzenia ładunkami elektrostatycznymi. Są zamykane w identyczną 24-nóżkową obudowę plastykową DIL.

SAA1060

Schemat funkcjonalny układu przedstawia rysunek 1.

Układ sterowany jest trójprzewodową magistralą złożoną z linii DATA (sygnał danych), DLEN (*Data Line Enable* - sygnał zezwolenia na przesłanie danych) i CLB (*Clock Burst* - paczka impulsów zegarowych). Komplet informacji sterującej dwoma wyświetlaczami przesyłany jest w jednym cyklu transmisji. Cykl transmisji składa się z osiemnastu bitów danych (linia DATA) synchronizowanych impulsami zegarowymi i nadawanymi w czasie uaktywnienia linii zezwalającej (DLEN). Impuls zegarowy obejmuje dwa zbocza napięcia na linii CLB - zbocze narastające i opadające. Odczyt danych (stanu linii DATA) ma miejsce w czasie opadającego zbocza przebiegu CLB. Pierwszy nadawany bit musi być zerem. Wysłanie mniejszej lub większej liczby bitów powoduje zignorowanie całego cyklu transmisji przez układ SAA1060. Te cechy układu pozwalają na dołączenie do tej samej linii innych urządzeń, które są sterowane według podobnego protokołu ale z inną liczbą przesyłanych bitów (czyli inną liczbą impulsów CLB w czasie wysokiego stanu DLEN) lub z jedynką na pierwszym bicie.



Rys.1. Schemat funkcjonalny układu SAA1060.

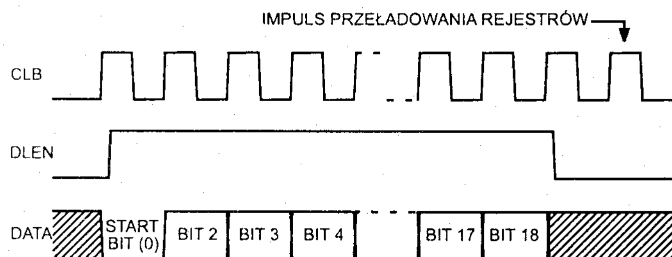
Szesnaście z osiemnastu nadawanych bitów, począwszy od drugiego aż do siedemnastego, odpowiada szesnastu segmentom dwóch wyświetlaczy i decyduje o tym, które mają być zapalone a które zgaszone. Drugi bit decyduje o stanie wyjścia Q1, trzeci o stanie wyjścia Q2 ... siedemnasty o stanie wyjścia Q16.

Szesnaście bitów przesłanych po magistrali sterującej nie trafia jednak bezpośrednio na wyjścia układu. Są one najpierw załadowane do jednego z dwóch rejestrów - rejestru A lub rejestru B. Ostatni, osiemnasty bit transmisji określa do którego z tych rejestrów trafią dane przesłane w tym cyklu transmisji:

- bit 18 = 0 - dane wpisane do rejestru B
- bit 18 = 1 - dane wpisane do rejestru A

Do chwili odebrania osiemnastego bitu dane przechowywane są w rejestrze przejściowym. Sygnałem do przeładowania danych z rejestru przejściowego do któregoś z dwóch rejestrów docelowych jest dodatkowy, dziewiętnasty impuls na linii CLB wygenerowany już po przywróceniu stanu niskiego na linii zezwolenia DLEN.

Przebiegi na liniach magistrali sterującej pokazano na rysunku 2.



Rys.2. Przebiegi sterujące układem SAA1060.

Dołączanie wyjść rejestrów A i B do wyprowadzeń układu scalonego odbywa się za pośrednictwem multipleksera i stopni końcowych. Zadaniem stopni końcowych jest zapewnienie prądu wyjściowego wystarczającego do zapalenia diod świecących. Wyjścia nie posiadają ograniczników tego prądu, toteż aplikacja układu wymaga użycia szeregowych rezystorów w obwodzie każdej diody (segmentu).

Zadaniem multipleksera jest wybór rejestru (A lub B), którego zawartość ma się pojawić na wyjściach. W dowolnym momencie multiplekser podłącza do wyjść tylko jeden 16 - bitowy rejestr. Pracą multipleksera sterują dwa dodatkowe sygnały wejściowe: DUP (*data selection input*) i LOEX (*load control input*). Sterowanie odbywa się w następujący sposób:

- LOEX = 1 - praca statyczna, wyjścia układu odzwierciedlają zawartość rejestru A lub B zależnie od stanu logicznego wejścia DUP
- LOEX = 0 - tryb pracy „duplex", zakłada się podłączenie do wejścia DUP napięcia przemiennego. Jednocześnie połówki ujemne tego napięcia zasilają jedną parę wyświetlaczy, połówki dodatnie drugą parę.
- DUP = 0 - na nóżkach układu wyprowadzona zawartość rejestru A
- DUP = 1 - na nóżkach układu wyprowadzona zawartość rejestru B

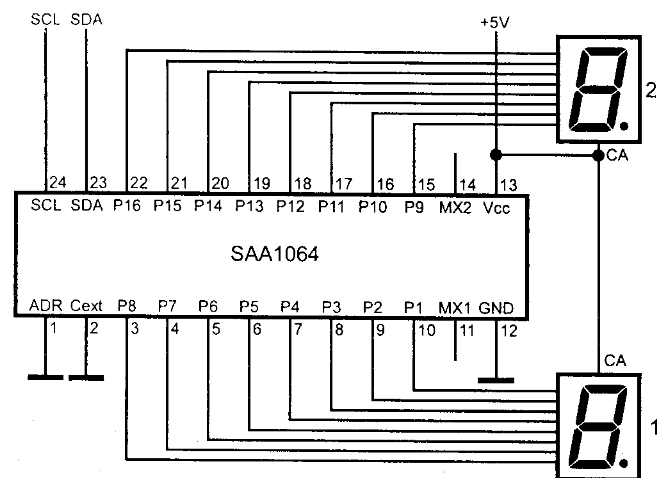
A oto pozostałe parametry układu SAA1060, których znajomość jest niezbędna do poprawnej aplikacji:

- napięcie zasilania: Vcc = 4 ÷ 6 V
- maksymalna częstotliwość przebiegów na wszystkich wejściach: 50 kHz
- wejścia DATA, CLB, DLEN, LOEX:
  - stan wysoki 2 ÷ 5 V
  - stan niski < 1 V
- wejście DUP:
  - stan wysoki 0.8 ÷ 12 V
  - stan niski -6 ÷ 0.4 V
- wyjścia Q1 ÷ Q7 i Q9 ÷ Q15:
  - napięcie wyjściowe w stanie wysokim maks. 16.8 V
  - napięcie wyjściowe w stanie niskim maks. 0.5 V
  - prąd wyjściowy w stanie niskim, praca statyczna maks. 40 mA
  - szczytowy prąd wyjściowy w stanie niskim, trybie dupleks z napięciem sinus. maks. 60 mA
- wyjścia Q8 i Q16:
  - napięcie wyjściowe w stanie wysokim maks. 16.8 V
  - napięcie wyjściowe w stanie niskim maks. 0.5 V
  - prąd wyjściowy w stanie niskim, praca statyczna maks. 80 mA
  - szczytowy prąd wyjściowy w stanie niskim, trybie dupleks z napięciem sinus maks. 120 mA

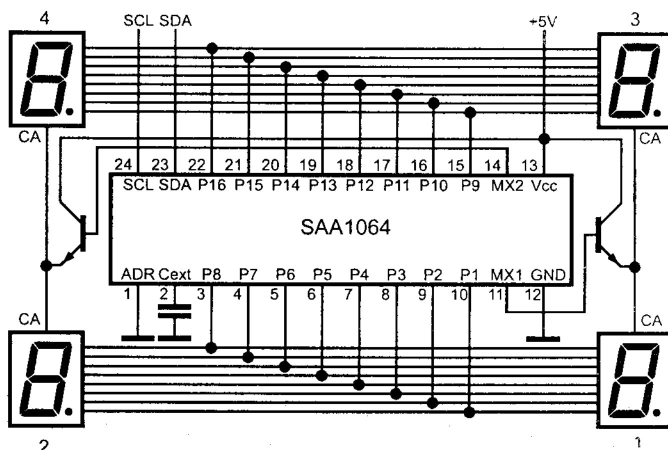
SAA1064

Najważniejsze cechy wspólne dla układów SAA1060 i SAA1064 opisałem na początku artykułu. Czytelnicy zainteresowani tylko tym drugim układem nie powinni tego wstępu pominąć.

Schemat funkcjonalny układu SAA1064 jest bardziej złożony i dla łatwiejszego zagłębienia się w tajniki tego elementu lepiej zapoznać się z jego schematem aplikacyjnym. Został on przedstawiony na rysunkach 3 i 4.



Rys.3. Schemat aplikacyjny układu SAA1064 dla trybu pracy statycznej.



Rys.4. Schemat aplikacyjny układu SAA1064 dla trybu pracy impulsowej.

Schemat z rysunku 3 przedstawia typową aplikację przy stałoprądowym sterowaniu wyświetlaczami. Ich liczba jest w tym przypadku ograniczona do dwóch. Zwraca uwagę fakt, że zastosowanie układu SAA1064 w tym trybie pracy, poza wyświetlaczami nie wymaga użycia żadnego dodatkowego elementu.

W przypadku sterowania impulsowego (ten tryb pracy pozwala na dołączenie czterech wskaźników - rysunek 4), potrzebne są elementy dodatkowe - dwa tranzystory i jeden kondensator. Tranzystory, załączane naprzemiennie przez wyprowadzenia MX1 i MX2, sterują wspólnymi anodami wyświetlaczy. Jeśli użyte zostaną wyświetlacze o dużej sprawności, nie wymagające znacznych prądów, to omawiane tranzystory też można pominąć, podłączając anody bezpośrednio do nóżek scalaka. Trzeba jednak mieć na uwadze, że całkowita moc wydzielana w układzie nie może przekroczyć 1000 mW.

Kondensator dołączony do nóżki C_{EXT} determinuje częstotliwość generowanych wewnętrznie przebiegów przełączających MX1 i MX2. Producent podaje następujące przybliżone wartości częstotliwości przełączania dla przykładowych pojemności kondensatora C:

390 pF - f = 1500 Hz
820 pF - f = 800 Hz
2.7 nF - f = 130 Hz

Synchronicznie z kluczowaniem wyjść MX1 i MX2 następuje uaktualnianie stanów wyjść P1 ÷ P16 sterujących katodami wyświetlaczy. Gdy aktywne (stan wysoki) jest wyjście MX1, stan wyjść P1 ÷ P8 odnosi się do wyświetlacza numer 1, zaś stan wyjść P9 ÷ P16 do wyświetlacza numer 3. Gdy aktywne jest wyjście MX2, stan wyjść P1 ÷ P8 odnosi się do wyświetlacza numer 2, zaś stan wyjść P9 ÷ P16 do wyświetlacza numer 4.

Stan każdego wyświetlacza przechowywany jest w niezależnym wewnętrznym ośmiobitowym rejestrze układu SAA1064. W trakcie pracy impulsowej stan tych rejestrów nie zmienia się. W sposób dynamiczny ma miejsce jedynie dołączanie wyjść kolejnych rejestrów do wyprowadzeń układu scalonego. Stan rejestrów może być zmieniony jedynie poprzez sygnał przesłany z układu sterowania.

Układ SAA1064 niezależnie od trybu pracy nie wymaga stosowania szeregowych rezystorów ograniczających prąd płynący przez poszczególne segmenty wyświetlacza. Prąd ten jest ograniczany automatycznie, zaś jego wartość może być regulowana rozkazem przesłanym z układu sterującego. Zakres regulacji dla każdego segmentu wynosi od 0 do 21 mA z krokiem 3 mA.

Układ SAA1064 jest sterowany dwuprzewodową magistralą I^2C. Sposób przekazywania danych sterujących przy użyciu tej magistrali opisywany był już na łamach „Serwisu Elektroniki" kilkakrotnie. Bez wdawania się w szczegóły warto tu jedynie stwierdzić, że na świecie produkowana jest znaczna ilość układów, które mogą być sterowane tą magistralą, pełniących bardzo różnorodne funkcje. Specjalny protokół transmisji (przewidujący między innymi posiadanie przez każdy układ indywidualnego adresu) pozwala na połączenie dużej ich liczby równolegle dwiema wspólnymi liniami (SDA i SCL) w jednym urządzeniu. Uzyskuje się dzięki temu znaczną oszczędność nóżek mikrokontrolera oraz upraszcza się połączenia pomiędzy układami.

Poza liniami SDA i SCL, które wchodzą w skład magistrali I^2C, związek z magistralą ma także nóżka ADR. Jest to wejście wyboru adresu układu, przy czym adres zależy od wartości napięcia podanego z zewnątrz na to wyprowadzenie zgodnie z poniższą zasadą:

$V_{ADR} = 0 \div 3/16V_{CC}$ - adres 01110000
$V_{ADR} = 5/16V_{CC} \div 7/16V_{CC}$ - adres 01110010
$V_{ADR} = 9/16V_{CC} \div 11/16V_{CC}$ - adres 01110100
$V_{ADR} = 3/16V_{CC} \div V_{CC}$ - adres 01110110

Dzięki możliwości przyporządkowania układowi SAA1064 czterech różnych adresów, cztery takie same układy można podłączyć do wspólnej magistrali. W ten sposób, absorbując dwa tylko wyprowadzenia mikrokontrolera, można wysterować aż szesnaście wskaźników siedmiosegmentowych.

Na schematach z rysunków 3 i 4 nóżka ADR jest jak widać zwarta do masy. Aby więc sterować układem zaaplikowanym w taki sposób, trzeba wysyłać adres 01110000.

Sterowanie SAA1064, jak większości innych scalaków z interfejsem magistrali I^2C, polega na ładowaniu określonych

Tablica 1. Rejestry I²C sterujące pracą układu SAA1064.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0	
-	C6	C5	C4	C3	C2	C1	C0	**R0**
P8/MX1	P7/MX1	P6/MX1	P5/MX1	P4/MX1	P3/MX1	P2/MX1	P1/MX1	**R1**
P8/MX2	P7/MX2	P6/MX2	P5/MX2	P4/MX2	P3/MX2	P2/MX2	P1/MX2	**R2**
P16/MX1	P15/MX1	P14/MX1	P13/MX1	P12/MX1	P11/MX1	P10/MX1	P9/MX1	**R3**
P16/MX2	P15/MX2	P14/MX2	P13/MX2	P12/MX2	P11/MX2	P10/MX2	P9/MX2	**R4**
-	-	-	-	-	-	-	-	**R5**
-	-	-	-	-	-	-	-	**R6**
-	-	-	-	-	-	-	-	**R7**

danych do wewnętrznych 8 - bitowych rejestrów układu. SAA1064 posiada osiem takich rejestrów oznaczanych jako R0 ÷ R7. Symbole poszczególnych bitów podano w tablicy 1.

Rejestr R0:

- C6, C5, C4 - bity określające prąd segmentów według następującej reguły:

C6	C5	C4		
0	0	0	-	0 mA
0	0	1	-	3 mA
0	1	0	-	6 mA
0	1	1	-	9 mA
1	0	0	-	12 mA
1	0	1	-	15 mA
1	1	0	-	18 mA
1	1	1	-	21 mA

- C3 - wpisanie jedynki powoduje zapalenie wszystkich segmentów wszystkich wyświetlaczy.
- C2 - wpisanie zera powoduje wygaszenie cyfr 2 i 4 (według numeracji z rysunku 4).
- C1 - wpisanie zera powoduje wygaszenie cyfr 1 i 3 (według numeracji z rysunku 4). Warto podkreślić, że oddziaływanie bitów C1, C2 i C3 odbywa się niezależnie od zawartości pozostałych rejestrów, które decydują o zapalaniu indywidualnych segmentów. Procesor może więc zmieniając stan bitów C1 i C2 gasić wyświetlacze i ponownie je zapalać przywracając nie zmienioną kombinację świecących segmentów.
- C0 - wpisanie zera powoduje przełączenie w tryb pracy statycznej, zapalone mogą wówczas być tylko wskaźniki 1 i 3. Praca impulsowa będzie miała miejsce po wpisaniu jedynki i pod warunkiem obecności kondensatora C_{EXT}.

Rejestry R1 ÷ R4:

- Rejestr 1 decyduje o stanie wskaźnika 1 (według numeracji z rysunku 4). Wpisanie jedynki zapala segment, wpisanie zera wyłącza świecenie. Na przykład jedynka na pozycji P5/MX1 zapali ten segment wyświetlacza, którego katoda dołączona zostanie do wyprowadzenia P5 układu scalonego.
- Rejestr 2 w analogiczny sposób decyduje o stanie wskaźnika 2.
- Rejestr 3 w analogiczny sposób decyduje o stanie wskaźnika 3.
- Rejestr 4 w analogiczny sposób decyduje o stanie wskaźnika 4.

Rejestry R5 ÷ R7:

- Rejestry te nie są używane, ich stan nie ma wpływu na działanie układu. Ze względu na zachowanie kompatybilności mikrokontrolera z ewentualnymi nowymi wersjami układu, program sterujący nie powinien modyfikować zawartości tych rejestrów.

Po włączeniu zasilania, przed ingerencją zewnętrznych sygnałów sterujących, we wszystkich wyżej wymienionych rejestrach znajdują się same zera. Warto zauważyć, że gwarantuje to całkowite wygaszenie wszystkich wyświetlaczy z trzech powodów:

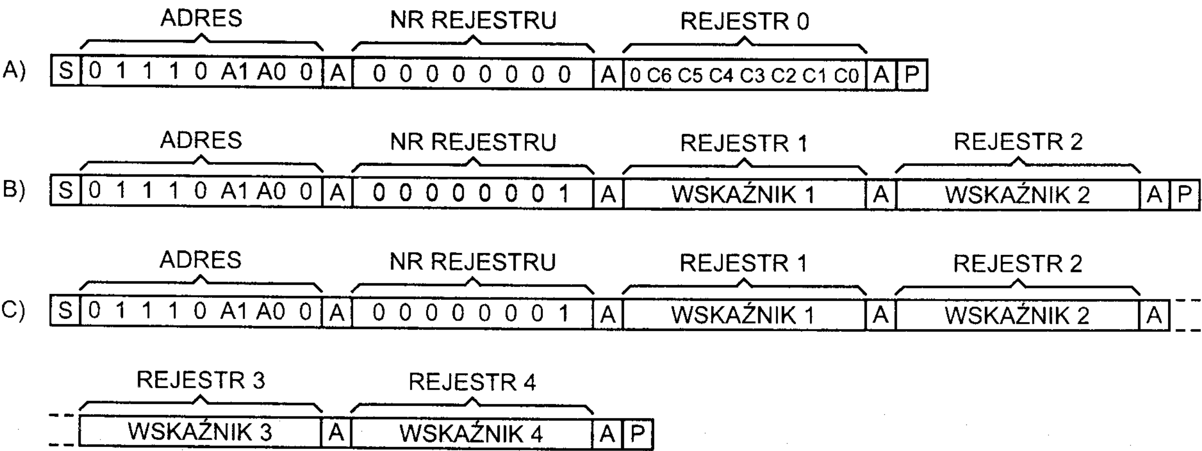
- zera w rejestrach R1 ÷ R4 wyłączają indywidualnie wszystkie segmenty
- zera na pozycjach C1 i C2 wygasiłyby wszystkie cztery cyfry nawet przy niezerowej zawartości rejestrów R1 ÷ R4
- zerowe bity C4 ÷ C6 ograniczają do zera prądy segmentów.

Format sygnałów transmitowanych magistralą I²C do układu SAA1064 przedstawia rysunek 5. Po wygenerowaniu sygnału startu (S) pierwszym bajtem jest adres (określony zgodnie z podanymi wcześniej zasadami). Drugim bajtem jest numer rejestru, od którego rozpoczyna się ładowanie przesyłanych danych. Drugim bajtem może więc być tylko liczba z przedziału 0 ÷ 7. Kolejne nadawane bajty będą zapisywane w kolejnych rejestrach układu scalonego. Jeśli po załadowaniu rejestru R7 na magistralę wysłany jest kolejny bajt zostanie on wpisany do rejestru R0. Minimalna liczba nadawanych bajtów wynosi trzy: adres, numer rejestru i zawartość tego rejestru. Maksymalna liczba bajtów nie jest określona i nic złego się nie stanie jeśli zapisywanie „zapętli się" kilkakrotnie. Oczywiście sensowne jest jednak wysłanie w jednym cyklu transmisji najwyżej siedmiu bajtów: adresu, numeru rejestru (0) i zawartości rejestrów R0, R1, R2, R3 i R4. Każdy cykl transmisji musi być zakończony sygnałem końca (P). Układ SAA1064 kwituje odbiór każdego bajtu generując sygnał potwierdzenia (A).

Wszystkie rejestry wymienione do tej pory mogą być zapisywane, jednak urządzenie zewnętrzne nie ma możliwości odczytania ich treści. Istnieje jednak jeden dodatkowy rejestr, który przeciwnie: można tylko odczytywać. Odczyt następuje

Tablica 2. Rejestr I²C z informacją o stanie układu SAA1064.

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
PR	0	0	0	0	0	0	0



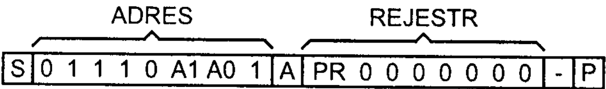
Rys.5. Format transmisji sygnałów sterujących do układu SAA1064 (przykłady): A) wysłanie tylko rejestru 0 z bitami C0 ÷ C6; B) modyfikacja stanu wyświetlaczy 1 i 2; C) modyfikacja stanu wszystkich czterech wyświetlaczy

Tablica 3. Różnice między układami SAA1060 i SAA1064.

SAA1060	SAA1064
Niskie napięcie zasilania układu scalonego, możliwość zasilania LED-ów z wyższego napięcia	Możliwość zasilania zarówno wyświetlaczy jak i samego układu scalonego napięciem o szerokim zakresie wartości
Zewnętrzny przebieg multipleksujący wyświetlanie przy sterowaniu impulsowym	Przebieg multipleksujący generowany wewnętrznie, częstotliwość zależna od wartości pojemności kondensatora
Brak wewnętrznego ogranicznika prądu wyjściowego do sterowania segmentami, potrzeba stosowania dodatkowych rezystorów, możliwość sterowania segmentów relatywnie większymi wartościami prądu	Wartość prądu segmentów regulowana przez układ scalony, elementy zewnętrzne niepotrzebne, możliwość programowej regulacji wartości prądu
Sterowanie magistralą 3 - przewodową, tylko jeden układ SAA1060 można dołączyć do wspólnej magistrali	Sterowanie 2 - przewodową magistralą I^2C, możliwość dołączenia czterech układów SAA1064 do wspólnej magistrali
-	Dodatkowe funkcje sterujące (zapalanie i gaszenie wszystkich segmentów poprzez modyfikację pojedynczych bitów, testowanie przerw w zasilaniu)

po wysłaniu na magistralę adresu układu z ostatnim bitem równym 1 (ostatni bit adresu określa kierunek przesyłania informacji). Następnie mikrokontroler musi generować kolejne impulsy zegarowe na linii SCL odczytując jednocześnie bajt z linii SDA, nadawany przez układ SAA1064. Odczytana informacja ma postać podaną w tablicy 2. Jedynym bitem znaczącym jest bit 7 oznaczany jako „PR" (*Power Reset*). Na pozycji tej znajdzie się jedynka w przypadku gdy rejestr ten nie był jeszcze ani raz odczytywany od włączenia zasilania układu. Sprawdzając cyklicznie stan bitu PR można stwierdzić, czy zasilanie układu SAA1064 miało miejsce bez przerw. Wykrycie, że nastąpiła taka przerwa może być dla mikrokontrolera sygnałem do ponownego załadowania wszystkich rejestrów układu.

Sposób odczytu omawianego rejestru przedstawiono na rysunku 6.



Rys.6. Odczyt rejestru z bitem „PR" z układu SAA1064.

A oto pozostałe istotne parametry układu SAA1064:

- napięcie zasilania Vcc = 4.5 ÷ 15 V
- maksymalna moc wytracana w układzie P_{TOT} = 1000 mW
- wejścia SDA, SCL:
  - stan wysoki 3.0 ÷ 5.5 V
  - stan niski < 1.5 V

SAA1060 i SAA1064 - najważniejsze różnice między układami

Najważniejsze cechy różniące oba opisywane układy wyszczególniono w tablicy 3.



Odpowiadamy na listy Czytelników



Pan P.K. Suchań:

Prowadzę zakład usługowy RTV. Często zwracają się do mnie klienci posiadający cyfrowy telewizor z systemem DIGIT 2000 z prośbą o „dołożenie polskich liter do teletekstu". Co zrobić w tej sytuacji? O ile mi wiadomo nie istnieją narodowe wersje generatorów znaków w tych scalakach.

W odbiornikach opartych na systemie DIGIT 2000 spotkał Pan prawdopodobnie albo najstarszy układ scalony procesora teletekstu TPU2700, nieco nowszy TPU2732 albo jeszcze nowszy TPU2735. Układ TPU2735 może w większości przypadków zastąpić TPU2732. Ten ostatni zaś może być (również z niewielkimi wyjątkami) stosowany zamiast TPU2700.

Wymienione układy można znaleźć także w odbiornikach analogowych. W takich przypadkach na module teletekstu stosowane są oprócz procesora teletekstu jeszcze dwa inne układy z grupy DIGIT 2000 - przetwornik A/C sygnału wizyjnego (VCU) i generator przebiegów zegarowych (MCU).

Przetwarzanie sygnału wizyjnego z postaci analogowej na cyfrową dokonywane jest wtedy tylko po to aby móc zastosować TPU, który jest układem stosunkowo tanim. Rozwiązanie takie było lansowane przez firmę ITT i miało uzasadnienie ekonomiczne zwłaszcza w czasach gdy Philips pozostawał monopolistą w produkcji układów teletekstu, a cena zestawu scalaków była czterokrotnie wyższa niż dziś. Firma ITT konsekwentnie oferowała do kompletu również mikrokontroler SAA1293 w wersji umożliwiającej sterowanie układami TPU.

Spośród wymienionych na początku układów jeden ma swój polskojęzyczny odpowiednik. Jest to wersja -E układu TPU2735. Wstawienie TPU2735-E zamiast TPU2735, TPU2732 lub TPU2700 daje szansę wyświetlenia polskich liter.

Układ TPU2735-E, jako jeden z niewielu układów teletekstowych posiada jednocześnie oba zestawy znaków polski i angielski. Jest to cecha bardzo pożądana, gdyż instalując polskie litery nie tracimy jednocześnie znaków używanych w teletekście angielskim, takich jak „\$, $^1{}_2$, $^1{}_4$" i paru innych. Z drugiej strony jednak wiąże się z pewnym ryzykiem. Znaki polskie w wersji TPU2735-E zaprogramowane są w miejsce znaków hiszpańskich występujących w TPU2735. Sposób przełączania pomiędzy zestawami polskim i angielskim po wymianie układu scalonego będzie podlegał tym samym regułom co przełączanie pomiędzy znakami hiszpańskimi a angielskimi przed wymianą układu. Sposób ten ogólnie rzecz biorąc zależy od systemu sterowania i może odbywać się automatycznie, ręcznie czyli na rozkaz z pilota albo nie odbywać się w ogóle. Można sobie niestety wyobrazić taki system sterowania, który uniemożliwia uaktywnienie polskiego zestawu znaków.

Jeśli ktoś z Czytelników posiada doświadczenia z instalowaniem dekodera teletekstu TPU2735-E, chętnie wydrukujemy nadesłane przez niego informacje o tym, w których typach odbiorników operacja ta się powiodła a w których nie. Osobiście nie miałem do czynienia z tym układem, a powyższe dane podaję na podstawie karty katalogowej uzyskanej w firmie ITT.

Od przedstawiciela ITT w Polsce (firma Spoerle z siedzibą w Warszawie) nie udało mi się uzyskać informacji na temat możliwości zakupu tego układu.

I.L.



Pan M.G. Poznań:

Posiadam bank EEPROM-ów z programami do odpowiednich napraw w razie wymiany pamięci. Używam kilku typów tych układów. Nie mam problemów z pamięciami 24C16CB1. Jednak niektóre inne układy pracują poprawnie zaledwie przez kilka tygodni, po czym psują się wykazując objawy przegrzania. Przesyłam dwa uszkodzone układy różnych typów spośród tych, z którymi mam największe kłopoty. Załączam schemat urządzenia, w którym pracowały. Proszę o odnalezienie w danych katalogowych wskazówki, która mogłaby sugerować przyczynę uszkadzania.

Nadesłany przez Pana schemat przedstawia typową, całkowicie poprawną aplikację, w której układy pamięci zasilane są napięciem +5 V. Przysłane przez Pana układy to CAT24C16 (prawdopodobnie firmy Catalyst) oraz 24C16 z nadrukowanym logo firmy National Semiconductors. Nie posiadam dokumentów z firmy Catalyst, za to dane pamięci National Semiconductors przeanalizowałem szczegółowo nie znajdując żadnego uzasadnienia dla wysokiej awaryjności tych układów w Pana aplikacji. Wszystkie pamięci typu 24C16 tego (i nie tylko tego) producenta mogą pracować z zasilaniem 5 - voltowym. Uszkodzenie układu może nastąpić wówczas gdy napięcie podane na którąkolwiek nóżkę przekroczy poziom zasilania o więcej niż 0.5 V. Inne przyczyny praktycznie nie wchodzą w grę.

Z treści Pana listu wynika, że opisane kłopoty występują nie tylko w jednym konkretnym urządzeniu. Wykluczam więc, że warunki pracy pamięci są niewłaściwe na skutek jakiegoś uszkodzenia innych obwodów. Jedyne co mi się nasuwa to podejrzenie, że układy, które Pan kupuje nie pochodzą w rzeczywistości od renomowanych wspomnianych wyżej firm.

Radzę kupować tylko te układy, które pracują poprawnie. Wymienione przez Pana oznaczenie 24C16CB1 (w liście narysował Pan także logo producenta) jest stosowane przez firmę SGS - Thomson, której pamięci, z uwagi na konkurencyjną cenę są najczęściej sprowadzane przez dystrybutorów i są w Polsce łatwo dostępne.

I.L.



Pan W.J. Brzeg:

W uszkodzonym odbiorniku telewizyjnym wymieniłem mikrokontroler PCA84C641 oraz pamięć EEPROM. Nie wiem jednak jak ją zaprogramować. Prosiłbym o napisanie paru słów na temat programatora, o którym wspominaliście na łamach „Serwisu Elektroniki".

System sterowania CTV322S zbudowany w oparciu o mikrokontroler PCA84C641 został szczegółowo opisany w „Serwisie Elektroniki" 1/96. Przewiduje on przechowywanie w pamięci EEPROM jedynie danych, które są tam zapisywane w trakcie normalnej eksploatacji odbiornika. Nie ma więc potrzeby wykonywania żadnych specjalnych czynności poza zwykłym programowaniem kanałów, zapisaniem preferowanych „normalnych" poziomów regulacji dźwięku i obrazu oraz ewentualnie (w przypadku zastosowania większej pamięci) preferowanych stron teletekstu. Wystarczy postępować zgodnie z instrukcją obsługi odbiornika.

Polecam Panu również artykuł w numerze 7/96 pod tytułem „Mikrokontroler PCA84C640. Co zyskujemy zwiększając pojemność pamięci nieulotnej?". Zawarte tam informacje odnoszą się także do systemu CTV322S.

Potrzeba wstępnego ładowania pamięci EEPROM pojawia się zwykle w bardziej złożonych systemach sterowania, gdzie w pamięci nieulotnej przechowywane są dodatkowe informacje dla mikrokontrolera dotyczące, w przypadku odbiornika telewizyjnego, na przykład geometrii obrazu, parametrów użytej głowicy, balansu bieli ustawionego dla danego kineskopu, rozwiązań układowych zastosowanych w konkretnym odbiorniku i wiele innych. Dane tego typu zapisywane są w procesie produkcji urządzenia zaś potem mogą być modyfikowane w sposób podawany zwykle w instrukcji serwisowej. Sposób ten czasem jednak bywa żmudny, w dodatku instrukcja nie zawsze jest pod ręką. Brak niektórych danych w pamięci może w skrajnych przypadkach całkowicie uniemożliwić uruchomienie urządzenia. Wymieniając uszkodzoną pamięć warto jest więc dysponować układem z zapisaną zawartością, skopiowaną z identycznego sprawnego urządzenia. Być może nie wszystkie zapisane w niej dane będą w stu procentach odpowiadać parametrom optymalnym z punktu widzenia naprawianego sprzętu, jednak uruchomienie go będzie bez porównania prostsze.

Z tego właśnie powodu wiele punktów usługowych gromadzi kopie zawartości pamięci EEPROM odczytanych z różnych urządzeń. Usługa polegająca na udostępnieniu odpowiedniej kopii jest stosunkowo droga. Dlatego większym warsztatom opłaca się zbierać kopie we własnym zakresie. Przyrządy do kopiowania są dostępne w cenach zwykle nie przekraczających 200 złotych.

Można również kupić specjalny programator podłączany do komputera. Zaletą tego ostatniego jest możliwość gromadzenia kopii EEPROM-ów na dysku zamiast w fizycznych układach scalonych EEPROM. Programator taki pozwala również na całkiem swobodną modyfikację zapisanych w pamięci zer i jedynek, co jednak w warunkach serwisowych nie jest przydatne, gdyż producenci sprzętu elektronicznego nie zdradzają tak zwanej mapy pamięci czyli adresów i sposobu zapisania konkretnych danych. Wadą programatorów sterowanych komputerem jest także cena, najczęściej około dwukrotnie wyższa niż cena zwykłych urządzeń kopiujących. Obejmuje ona nie tylko same urządzenie ale także oprogramowanie potrzebne do współpracy komputera z danym typem programatora.

W przypadku opisanym przez Pana żadne z tych urządzeń nie jest na szczęście potrzebne. Niezależnie od zawartości pamięci odbiornik powinien dać się uruchomić. Jeśli tak nie jest, to przyczyny trzeba szukać gdzie indziej.

I.L.



Pan Mirosław B. Warka.

Pan Mirosław zgłosił kilka uwag do cyklu artykułów na temat współpracy sprzętu telewizyjnego z terminalem CANAL+. Pierwsza z nich dotyczyła listy odbiorników telewizyjnych produkcji WZT „Elemis" - telewizory o nazwie handlowej Westa i Syriusz współpracują z terminalem CANAL+ (Syster P 2) bez żadnych przeróbek. Dodatkowo Czytelnik zasygnalizował, że wszystkie odbiorniki telewizyjne produkcji „Elemis" poczynając od modeli Westa 200 i Syriusz 500 wyposażone są w gniazdo EURO.

W związku z powyższym chcielibyśmy poinformować, że lista sprzętu telewizyjnego została sporządzona z materiałów otrzymanych od Polskiej Korporacji Telewizyjnej CANAL+, natomiast część dotycząca listy odbiorników telewizyjnych produkcji Elemis była autoryzowana, czy też przekazana bezpośrednio do CANAL+ z firmy WZT „ELEMIS". Jako wyjaśnienie należy dodać, że firmy przekazywały informacje o swoim sprzęcie poczynając od pewnego, wybranego wyrobu. Podobnie gdański „UNIMOR" uwzględnił w swojej liście tylko odbiorniki telewizyjne poczynając od SIEST-y 2, pomijając wyroby o „starszej" konstrukcji. Jednakże za sprawą Naszego Czytelnika możemy tą listę zweryfikować.

Druga uwaga dotyczyła współpracy odbiornika telewizyjnego „Biazet TC 600". Opisana w 8/96 numerze „Serwisu Elektroniki" przeróbka, przekazana Redakcji przez firmę „Biazet" za pośrednictwem Polskiej Korporacji Telewizyjnej CANAL+, umożliwia odblokowanie w trybie AV jedynie sygnału VIDEO natomiast zablokowana jest nadal fonia. Dzięki informacjom od Pana Mirosława przekazujemy, że wyjściem z tej sytuacji jest likwidacja blokady fonii poprzez usunięcie jednej z kilku zwór łączących 13 wyprowadzenie układu scalonego US402 - UL1244N. Wówczas aktywne będą oba tory fonii tzn. w głośniku jednocześnie będzie słyszalny głos poprawny rozkodowany i niestety nadal głos kodowany. Nie jest to idealne rozwiązanie ale jest do zaakceptowania.

M.W.

Układ TDA9160, multistandardowy dekoder koloru i procesor odchylania (cz.2)

Zbigniew Tychulski, Marek Wybieralski

W części 1 poświęconej układowi TDA9160 zamieszczonej w "SE" nr 2/97 zostały omówione podstawowe cechy tego układu, został przedstawiony schemat blokowy z podstawowymi danymi technicznymi oraz omówiona część sygnałowa realizowana przez ten układ. Zgodnie z zapowiedzią, ta część zawiera opis układu TDA9160 związany ze sterowaniem układów odchylania oraz opis rejestrów sterujących.

Drugim głównym zadaniem układu TDA9160 obok dekodowania sygnału koloru jest wytworzenie sygnałów do sterowania stopni końcowych układów odchylania pionowego i poziomego. Aby zagwarantować pewną stabilność obrazu na ekranie telewizora także przy zakłóconym sygnale wejściowym w układzie TDA9160 znajduje się odpowiedni układ synchronizacji, w którym z impulsów synchronizacji przychodzących wraz z sygnałem CVBS wydziela się niezakłócone impulsy odchylania poziomego i pionowego.

W układzie synchronizacji linii H wykorzystuje się układ z pętlą fazową PLL dla której przyjęto nazwę układ regulacji φ_1. Stała czasowa tego filtru PLL ustawia się automatycznie na zewnętrznie panujące warunki. Oscylator przestrajany napięciem (PLL-VCO *Voltage Controlled Oscillator*) znajduje się w stanie synchronizmu z 432-krotną częstotliwością odchylania poziomego (6.75 MHz według norm europejskich), tak że sygnał oscylatora będąc sprzężony z częstotliwością linii może być wykorzystany do innych układów cyfrowych jako sygnał taktujący. Sygnał o częstotliwości f_H otrzymuje się przez 432 krotny podział dokonywany przez dzielnik częstotliwości znajdujący się w układzie regulacji φ_1. Aby układ H-PLL mógł w ogóle synchronizować częstotliwość wolnobiegnącego oscylatora PLL-VCO musi leżeć dostatecznie blisko częstotliwości żądanej wynoszącej $432f_H$. Z uwagi na istniejące w układach scalonych problemy z tolerancją elementów to żądanie jest nie do spełnienia bez regulacji oscylatora VCO. Jako sygnałów referencyjnych można by użyć przebiegów o częstotliwości kwarców (4.43 MHz i 3.58 MHz), jednakże ich częstotliwości leżą zbyt daleko od częstotliwości oscylatora VCO (6.75 MHz) więc ich bezpośrednie użycie nie wchodzi w grę. Z drugiej strony użycie specjalnego kwarcu jako sygnału referencyjnego do automatycznej regulacji oscylatora H-PLL jest rozwiązaniem zbyt drogim.

Ten problem można rozwiązać ekonomiczniej przy pomocy tak zwanego układu DTO (*Diskrete Time Oscillator*). Tego rodzaju oscylator składający się z licznika i sumatora dostarcza sygnał cyfrowy będący regulowanym ułamkiem pewnej zewnętrznie podanej częstotliwości impulsu taktującego. Sygnał referencyjny otrzymuje się podając na układ DTO sygnał taktujący wprost z aktywnego oscylatora kwarcowego. Częstotliwość sygnału referencyjnego otrzymanego w ten sposób jest odpowiednia do regulacji pętli fazowej H-PLL układu VCO. Podczas regulacji układ DTO tworzą: rejestr przechwytujący, przetwornik cyfrowo-analogowy, układ VCO oraz dzielnik pętli regulacyjnej, który ustala w układzie VCO częstotliwość biegu jałowego leżącą wystarczająco blisko częstotliwości żądanej. Bezpośrednio po złapaniu synchronizmu z zewnętrznym impulsem synchronizacji H następuje pewny zaskok pętli H-PLL.

Automatyczna regulacja polega więc w pierwszej kolejności na regulacji zgrubnej odpowiedniej częstotliwości biegu jałowego aby złapać synchronizm oraz w drugim etapie na regulacji układu H-PLL na dokładną częstotliwość i fazę. Regulacja ta odbywająca się w czasie trwania wygaszania pionowego, przeprowadzana będzie tylko wówczas, gdy nie zachodzi koincydencja między wewnętrznym i zewnętrznym impulsem H. Napięcie sterujące układ VCO wytworzone podczas regulacji zgrubnej pamiętane jest w postaci cyfrowej w rejestrze wychwytującym i pozostaje w nim bez zmian do następnej regulacji. Rejestr przechwytujący w układzie regulacji zgrubnej jest ekwiwalentem pamięci kondensatorowej w analogowo pracującym układzie regulacji fazy.

Układ synchronizacji pionowej pracuje według zasady synchronizowanego dzielnika, którego sygnał wejściowy o częstotliwości $2f_H$ dostarczany jest z dzielnika H. Dzięki powiązaniu z układem wytwarzania impulu H w stanie synchronizacji osiąga się niezależność od drgań i dużą dokładność czasową wewnętrznie generowanych impulsów V. Zwrotne impulsy nastawcze do dzielnika V dostarczane są z układu logicznego V do którego doprowadza się impulsy synchronizacji V wytworzone przez całkowanie impulsów synchronizacji sygnału wejściowego i który wyprowadza wewnętrzne impulsy synchronizacji V wolne od zakłóceń.

Na czasowe położenie zwrotnego impulsu nastawczego mają wpływ warunki zarówno chwilowo panujące jak i występujące przedtem. Układ logiczny V, który komunikuje się z układem dzielnika i którego forma zachowania wspomnień zawiera rejestry i liczniki wartości poprzedniej i przyszłej, troszczy się o optymalną synchronizację V, przy której odbywa się automatyczne dopasowanie do każdorazowego sygnału wejściowego.

Układ synchronizacji V ustala, czy aktywne zbocze zewnętrznego impulsu synchronizacji V wypada w aktywnym oknie czasu, które ma określone położenie wewnątrz okresu V i może przyjmować jedną z trzech szerokości. Gdy większość zewnętrznych impulsów synchronizacji V wypadnie w następujących kolejno po sobie okresach w aktywnym oknie następuje przełączenie na następne węższe okno. Proces synchronizacji rozpoczyna się z szerokim oknem poszukiwania. Kończy z bardzo wąskim, tylko o czas trwania jednej linii szerszym oknie, leżącym dokładnie w miejscu określonym przez normę. Jeżeli układ stwierdzi, że aktywne zbocze zewnętrznego impulsu V w większości następujących kolejno po sobie okresach półobrazu nie leży w aktywnym oknie, przełączy na szerokie okno poszukiwań i przebieg procesu synchronizacji rozpocznie się od nowa.

W tym przypadku układ logiczny V generuje wewnętrzny impuls V dokładnie w momencie, w którym wypadłby zewnętrzny impuls synchronizacji V. Dzieje się tak przy założeniu, że układ logiczny znajdował się poprzednio w stanie synchronizmu.

W występującym dalej procesorze odchylania, wytworzone w układzie synchronizacji wewnętrzne impulsy H i V sygnału odchylania doprowadzone zostają do układu sterowania stopni końcowych. W ścieżce impulsów odchylania poziomego znajduje się układ sterowania wytwarzający wolny od zakłóceń i możliwy do zewnętrznego wykorzystania impuls H_A o częstotliwości odchylania pionowego, będący częścią impulsu *sandcastle*. Do przesunięcia obrazu w kierunku poziomym istnieje sterowany szyną I²C układ regulacji φ_2 umożliwiający przesuwanie impulsu H.

Głównym zadaniem układu regulacji φ_2 jest realizacja opóźnienia impulsu H dla stopnia końcowego linii. Dlatego też układ regulacji φ_2 jest ściśle powiązany ze stopniem końcowym odchylania poziomego. Wyprowadza on impuls H_0 sterujący układem końcowym odchylania poziomego, a dla zamknięcia pętli regulacji potrzebuje powrotny impuls odchylania poziomego oznaczony jako H_R.

Gałąź V procesora odchylania wykazuje pewną osobliwość. Do niedawna normalnym było, że do wytwarzania wolnego od zniekształceń rastra obrazu konieczny był znajdujący się w stopniach końcowych odchylania układ korekcji geometrii. W układzie TDA9160 postąpiono inaczej. W procesorze odchylania pionowego tworzy się skorygowany geometrycznie przeciwfazowy sygnał sterujący liniowym stopniem końcowym odchylania V. Dla korekcji geometrii odchylania H tworzony jest sygnał sterujący E/W doprowadzony jednocześnie z sygnałem V do liniowego stopnia odchylania pionowego, a następnie do zewnętrznego modulatora diodowego odchylania poziomego. Aby uniknąć zniekształceń sygnału, zarówno stopień końcowy odchylania V jak również wzmacniacz mocy sygnału E/W muszą posiadać sprzężenie stałoprądowe, jak w polecanym układzie TDA8350.

Do korekcji geometrii sygnału sterującego V wymagane są:

- człon główny o liniowej zależności czasowej,
- człon o sześciennej zależności czasowej służący do korekcji S,
- człon niezależny od czasu służący do pionowego przesuwania obrazu,
- regulacja amplitudy służąca do zmiany wysokości obrazu.

W sygnale sterującym E/W służącym do korekcji geometrii w kierunku poziomym konieczne są następujące składowe:

- człon liniowo zależny służący do korekcji błędów centrowania kineskopu (korekcja trapezu),
- człon o kwadratowej zależności czasowej służący do korekcji paraboli,
- człon o zależności czasowej czwartego stopnia służący do korekcji naroży,
- człon niezależny czasowo,
- regulacja amplitudy służąca do zmian szerokości obrazu.

Przy wytwarzaniu sygnału odchylania V i sygnału korekcji E/W punktem wyjścia jest łatwy do wygenerowania liniowy sygnał ramki o częstotliwości odchylania pionowego, który podany jest na układ sterowania czasowego i który dostarcza także część odchylania pionowego V impulsu Sandcastle. Sygnały sterujące V i E/W wytwarza się w stopniu małej mocy z sygnału ramki o regulowanej stromości na zasadzie liczenia analogowego wyżej wymienionych członów korygujących. Wszystkie parametry nastawne można zmieniać w odpowiednich granicach poprzez szynę I²C. Przy produkcji odbiorników telewizyjnych można więc bezproblemowo przeprowadzić regulację korekcji geometrii obrazu, a poprzez wstępne ustawienie na określony typ kineskopu jeszcze bardziej ją uprościć oraz także zautomatyzować, łącząc regulacje korekcji z odpowiednim urządzeniem pomiarowym.

Amplitudy sygnałów sterujących V i E/W zależne są wreszcie od zewnętrznego napięcia sterującego U_{stH} proporcjonalnego do napięcia przyspieszającego w kineskopie w ten sposób, że szerokość i wysokość obrazu pozostają niezmienne przy zmianach wysokiego napięcia.

Wszystkie regulacje i przełączenia wykonywane w układzie TDA9160 z wyjątkiem tych przebiegających automatycznie przeprowadzane są poprzez znaną dwuprzewodową szynę I²C. Na zapytania z mikrokontrolera układ TDA9160 dostarcza poza tym informacje o stanie w jakim się aktualnie znajduje. Aby można było przeprowadzić wzmiankowaną komunikację układ wyposażony jest w interfejs szyny I²C służący do nadawania i odbioru informacji przez szynę I²C. Układ może reagować na dwa różne adresy. Jeżeli wyprowadzenie 25 (wyjście TXT) jest wolne, wówczas układ posiada adres $8A_{HEX}$ (Tabela 1). Jeżeli wyprowadzenie 25 (wyjście TXT) jest podłączone do napięcia zasilania, wówczas układ posiada adres $8E_{HEX}$ (Tabela 2).

Producent tym samym daje możliwość stosowania dwóch niezależnych układów TDA9160 w odbiorniku np. jeden pracujący w torze głównym jako przełącznik źródeł, dekoder koloru i układ synchronizacji wraz z korekcją, drugi zaś jako dekoder koloru i układ synchronizacji dla układu PIP.

Sterowanie polega na wysyłaniu z mikrokontrolera sterują-

Tabela 1. Adres (*Slave*) układu - $8A_{HEX}$

A6	A5	A4	A3	A2	A1	A0	R/W
1	0	0	0	1	0	1	X

Tabela 2. Adres (*Slave*) układu - $8E_{HEX}$

A6	A5	A4	A3	A2	A1	A0	R/W
1	0	0	0	1	1	1	X

Tabela 3. Wejściowe rejestry układu TDA9160.

SUB-ADRES	MSB							LSB
00	INA	INB	INC	IND	FOA	FOB	XA	AB
01	FORF	FORS	DL	HON	POC	FM	SAF	FRQF
02	-	-	HU5	HU4	HU3	HU2	HU1	HU0
03	-	-	HS5	HS4	HS3	HS2	HS1	HS0
04	-	-	EW5	EW4	EW3	EW2	EW1	EW0
05	-	-	PW5	PW4	PW3	PW2	PW1	PW0
06	-	-	CP5	CP4	CP3	CP2	CP1	CP0
07	-	-	TC5	TC4	TC3	TC2	TC1	TC0
08	-	-	VS5	VS4	VS3	VS2	VS1	VS0
09	-	-	VA5	VA4	VA3	VA2	VA1	VA0
0A	-	-	SC5	SC4	SC3	SC2	SC1	SC0
0B	SLB	-	VSH5	VSH4	VSH3	VSH2	VSH1	VSH0

Tabela 4. Rejestry wyjściowe.

ADRES	POR	FSI	STS	SL	PROT	SAK	SBK	FRQ

cego poprzez szynę I²C komunikatów ustawiających odpowiednie rejestry układu TDA9160.

W tabeli 3 przedstawione są wejściowe rejestry układu TDA9160, do których mikrokontroler zapisuje dane, zaś w tabeli 4 rejestry wyjściowe (tylko do odczytu).

Dla łatwości zrozumienia działania układu TDA9160 zostanie przedstawione przeznaczenie poszczególnych bitów wymienionych rejestrów.

Sygnały wejściowe

Tabela 5.Wybór źródła 1 (dla dekodera koloru i dekodera teletextu-n.25)

INA	INB	Dekoder koloru i TXT
0	0	CVBS1
0	1	CVBS2
1	0	S-VHS
1	1	SVHS(CVBS2)

Tabela 6.Wybór źródła 2 (dla PIP- n.20)

INC	IND	PIP
0	0	CVBS1
0	1	CVBS2
1	0	S-VHS
1	1	SVHS(CVBS2)

Tabela 7. Zmiana stałej fazowej.

FOA	FOB	MOD
0	0	auto
0	1	wolno
1	-	szybko

Tabela 8. Wybór kwarców.

XA	XB	Kwarc
0	0	2x3.6MHz
0	1	1x3.6MHz
1	0	1x4.43MHz
1	1	3.6MHz i 4.43MHz

Tabela 9. Wymuszanie częstotliwości ramki.

FORF	FORS	Częstotliwość ramki
0	0	auto
0	1	60Hz
1	0	50Hz
1	1	auto

Tabela 10. Międzyliniowość

DL	Stan
0	jest międzyliniowość
1	brak międzyliniowości

Tabela 11. Tryb pracy.

STB	Stan
0	standby
1	stan pracy

Tabela 12. Sterowanie pętlą fazową.

POC	Stan
0	pętla zamknięta
1	pętla otwarta

Tabela 13.Wymuszenie standardu.

ADD	Stan logiczny	Stan
FM	0	automatyczne wyszukiwanie
	1	wymuszony mod
SAF	0	PAL/NTSC
	1	SECAM
FRQF	0	drugi kwarc
	1	kwarc odniesienia

Tabela 14. Wygaszanie (*blanking*) serwisowe.

SBL	Stan
0	Wygaszanie serwisowe wyłączone
1	Wygaszanie serwisowe włączone

Tabela 15. Pozostałe funkcje układu.

Funkcja	Adres	Stan
Regulacja barwy kolorów (*hue*)	HU5 do HU0	000000 = -45° 111111 = +45°
Przesów w poziomie (*horizontal shift*)	HS5 do HS0	000000 = -2.2μs 111111 = +2.2 μs
Regulacja szerokości EW (*EW width)*	EW5 do EW0	000000 = 80% 111111 = 100%
Regulacja parabola/szerokość EW (*EW parabola/width)*	PW5 do PW0	000000 = 0% 111111 = 24%
Regulacja rogi/parabola EW (*EW corner/parabola)*	CP5 do CP0	000000 = 0% 111111 = -44%
Regulacja trapez EW (*EW trapezium)*	TC5 do TC0	000000 = -4% 111111 = +4%
Regulacja liniowości (nachylenie) w pionie (*vertical slope)*	VS5 do VS0	000000 = -14% 111111 = +14%
Regulacja amplitudy w pionie (*vertical amplitude)*	VA5 do VA0	000000 = -80% 111111 = +120%
Korekcja S (*S correction*)	SC5 do SC0	000000 = 0% 111111 = 20%
Przesów w pionie (*vertical shift)*	VSH5 do VSH0	000000 = -4% 111111 = +4%

Sygnały wyjściowe

Tabela 16. Odczyt standardu.

SAK	SBK	FRQ	Standard
0	0	0	PAL, drugi kwarc
0	0	1	PAL, kwarc odniesienia
0	1	0	NTSC, drugi kwarc
0	1	1	NTSC, kwarc odniesienia
1	0	0	nie używany
1	0	1	SECAM, kwarc odniesienia
1	1	0	kolor wyłączony
1	1	1	kolor wyłączony

Tabela 17. Stan włączenia po resecie.

POR	Stan
0	normalny
1	nie włączony

Tabela 18. Odczyt częstotliwości ramki.

FSI	Stan
0	50Hz
1	60Hz

Tabela 19. Stan S-VHS.

STS	Stan
0	brak sygnału na wejściu
1	sygnał na wejściu

Tabela 20. Stan pętli fazowej.

SL	Stan
0	otwarta (brak sygnału
1	zamknięta

Tabela 21. Zabezpieczenie przepięciowe.

PROT	Stan
0	brak wykrycia przepięcia
1	wykrycie przepięcia

Układ TDA9160 wyposażony jest w cały szereg układów zabezpieczających. Wspomnimy tu tylko o układzie chroniącym przed zbyt dużym wzrostem wysokiego napięcia, zabezpieczeniem przeciążeniowym chroniącym stopień końcowy odchylania poziomego przy rozruchu poprzez tak zwany „miękki start" jak również układ chroniący lampę kineskopową przed wypaleniem luminoforu przy utracie odchylania pionowego.

Multidekoder/procesor odchylania TDA9160 należy więc ze swymi wieloma funkcjami samoregulacji, automatycznym przełączaniem na pożądany standard jak również dopasowaniem do wymagań sygnału wejściowego do nowoczesnych układów telewizyjnych.

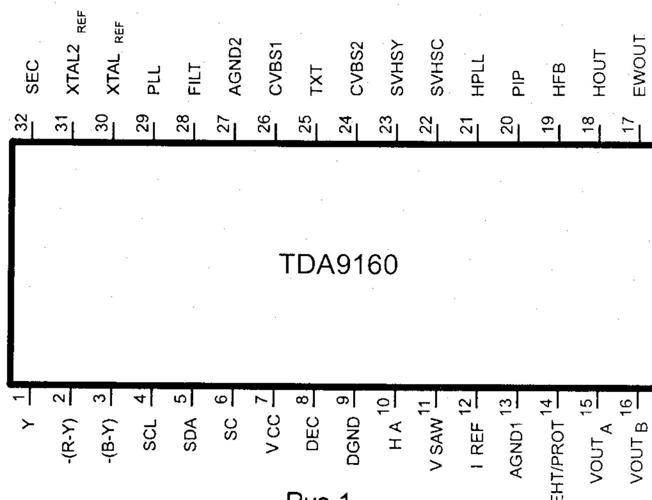
Na zakończenie przedstawiamy opis wyprowadzeń (rys 1 i tabela 22) układu TDA9160.

Tabela 22. Opis wyprowadzeń.

Nr	Symbol	Opis
1	Y	Wyjście sygnału luminancji
2	-(R-Y)	Wyjście sygnału chrominancji
3	-(B-Y)	Wyjście sygnału chrominancji
4	SCL	Wejście sygnału zegara
5	SDA	Wejście/wyjście sygnału danych
6	SC	Wyjście sygnału sandcastle
7	V_{CC}	Napięcie zasilania
8	DEC	Napięcie zasilania części cyfrowej
9	DGND	Masa części cyfrowej
10	H_A	Wyjście impulsów synchronizacji H_A
11	V_{SAW}	Wyjście impulsów ramki (piłokształtne)
12	I_{REF}	Wejście prądu odniesienia
13	AGND1	Masa części analogowej
14	EHT/PROT	Zabezpieczenie przepięciowe
15	$VOUT_A$	Wyjście A sterujące ramką
16	$VOUT_B$	Wyjście B sterujące ramką
17	EWOUT	Wyjście sterujące EW
18	HOUT	Wyjście sterujące linią
19	HFB	Wejście powrotów linii
20	PIP	Wyjście sygnału dla PIP
21	HPLL	Filtr PLL linii
22	SVHSC	Wejście sygnału chrominancji S-VHS
23	SVHSY	Wejście sygnału luminancji S-VHS
24	CVBS2	Wejście sygnału CVBS2
25	TXT	Wyjście sygnału dla dekodera teletekstu
26	CVBS1	Wejście sygnału CVBS1
27	AGND2	Masa części analogowej
28	$FILT_{REF}$	Filtr samoregulacji (odniesienia)
29	PLL	Filtr PLL koloru
30	XTAL	Wejście kwarcu odniesienia
31	XTAL2	Wejście drugiego kwarcu
32	SEC_{REF}	Odniesienie SECAM

Układ TDA9160 został umieszczony w plastikowej, 32-nóżkowej obudowie o zagęszczonych wyprowadzeniach typu SDIL (kod obudowy SOT232).

Na rys. 2 Przedstawiona została typowa aplikacja układu TDA9160.



Rys.1.

Rys.2. Typowa aplikacja układu TDA9160.



Mikrokontroler PCA84C640

Różnice pomiędzy wersjami /019 oraz /030

Lucjan Jednac

Na temat mikrokontrolera PCA84C640 pisaliśmy już wielokrotnie na łamach naszego czasopisma. Jednak ze względu na popularność tego układu ciągle wielu Czytelników zwraca się do nas z prośbą o wyjaśnienie pewnych zagadnień. Część z nich publikowana już była w rubrykach „Odpowiedzi na listy Czytelników". W poniższym artykule chcemy usystematyzować te informacje i podać główne różnice występujące pomiędzy istniejącymi na rynku dwoma wersjami /019 oraz /030 tego układu. Ze względu na występowanie drobnych różnic (zauważalnych również przez klientów), warto jest zapoznać się z nimi w celu wyjaśnienia ewentualnych wątpliwości użytkowników.

Szczegółowy opis mikrokontrolera PCA84C640 publikowany był w numerze 1/95 Serwisu Elektroniki. Obydwie wymienione na wstępie wersje układu są w pełni kompatybilne pod względem wyprowadzeń i **można je stosować całkowicie zamiennie**. Istnieją jednak drobne różnice w programie sterującym, które mogą mieć wpływ na działanie funkcji „SEARCH" podczas programowania, czy działanie dekodera teletekstu. Drobne różnice występują również w treści komunikatów wyświetlanych na ekranie (OSD), które zauważalne są dla użytkownika. Wersja /019 jest starsza, w stosunku do niej późniejsza wersja /030 charakteryzuje się następującymi właściwościami:

- komunikacja z dodatkowym mikrokontrolerem do obsługi dekodera teletekstu lepiej zabezpieczona przed ewentualnymi błędami transmisji,
- program obsługi dekodera teletekstu umożliwia wykorzystanie wyjścia COR układu SAA5243 (n.16) w celu usunięcia międzyliniowości w trybie teletekstowym. Wyprowadzenie to można wykorzystać w połączeniu z wyjściem ODD/EVEN (n.8 SAA5243),
- w trybie „TEXT CANCEL" numer strony pojawia się tylko wówczas gdy strona jest uaktualniona (w wersji /019 po każdym znalezieniu numeru strony),
- w trakcie szukania strony, ekran jest czyszczony (ciemny) aby uniknąć wyświetlania ewentualnych błędów,
- w przypadku odbiornika nie wyposażonego w dekoder teletekstu, wyłączenie do stanu "STANDBY" nie powoduje chwilowego wyświetlania żółtej kreski informującej o niezrozumieniu rozkazu,
- dołożona obsługa funkcji "LAST PROGRAM" (przełączanie pomiędzy dwoma ostatnio oglądanymi programami), dostępna dla użytkownika wyposażonego w pilota posiadający ten rozkaz (numer rozkazu 34 zgodny z kodem RC-5, opisywany w numerze 6/96 Serwisu Elektroniki),
- funkcja „SEARCH" (przeszukiwanie pasm) lepiej dopasowana dla różnych charakterystyk toru w.cz/p.cz odbiornika,
- zmieniona treść komunikatów OSD:

SYS-1	zamiast	PAL
SYS-2	zamiast	NTSC i SECAM
COLOUR	zamiast	SATURATION

- podziałki regulacji analogowych zmieniają się w zakresie 1...64 (zamiast 0...63), co oznacza, że podziałka jest wypełniona do ostatniej kreski,
- funkcja "Sleep timer" automatycznie wyświetla czas na ekranie 30 sekund przed wyłączeniem odbiornika,
- drugie przyciśnięcie rozkazu „STATUS" (informacja o paśmie, systemie i stanie VTR), w zależności od stanu wyświetla komunikat VTR lub VTR OFF (w wersji /019 napis VTR wyświetlany jest tylko wtedy gdy VTR jest załączony). Tylko w jednym przypadku VTR nie jest wyświetlany, konieczne jest jednak przy tym spełnienie odpowiednich warunków (wybrana jest tylko opcja PAL, tuner jednozakresowy UHF a opcja VTR jest całkowicie wyłączona lub dostępna tylko na programie 0).
- możliwość przełączania mono/stereo w przypadku wybrania opcji mono/dual/stereo z załączonymi dodatkowymi efektami stereo (więcej informacji w „Odpowiedziach na listy" nr 3/97 Serwisu Elektroniki),
- rozkaz „Przełączanie jedna/dwie cyfry" nie działa w trybie AV.

Uwaga: *Jeśli odbiornik wyposażony jest w mikrokontroler sterujący PCA84C640, to na podstawie kształtu podziałek analogowych, zachowania funkcji „Sleep timer" czy „STATUS" łatwo stwierdzić, która z wersji programu sterującego znajduje się wewnątrz układu. Jeśli nie wiemy natomiast w jaki układ wyposażony jest odbiornik, to na postawie wyłącznie obserwacji OSD, nie jesteśmy w stanie podać czy odbiornikiem steruje mikrokontroler PCA84C640/030 czy na przykład PCA84C641/068. W obydwu przypadkach treść wyświetlanych na ekranie komunikatów OSD jest taka sama.*